



## Überblick

Die CH32V003-Serie ist ein industrietauglicher Allzweck-Mikrocontroller auf Basis des QingKe RISC-V2A-Kerns. Er unterstützt eine Systemfrequenz von 48 MHz, einen weiten Spannungsbereich, eine serielle Debug-Schnittstelle (Single-Wire), geringen Stromverbrauch und ein ultrakompaktes Gehäuse. Er bietet gängige Peripheriefunktionen, einen integrierten DMA-Controller, einen 10-Bit-ADC, einen OPA-Komparator, mehrere Timer sowie Standard-Kommunikationsschnittstellen wie USART, I2C und SPI. Die Nennbetriebsspannung beträgt 3,3 V oder 5 V, der Betriebstemperaturbereich liegt zwischen -40 °C und 85 °C.

## Merkmale

### • Kern

- QingKe 32-Bit-RISC-V-Kern, RV32EC Befehlssatz
- Schneller programmierbarer Interrupt-Controller + Hardware-Interrupt-Stack
- Unterstützung für zweistufige Interrupt-Verschachtelung
- Unterstützt System-Hauptfrequenz 48 MHz

### • Speicher

- 2 KB flüchtiger Datenspeicherbereich (SRAM)
- 16 KB Programmspeicher CodeFlash
- 1920B Bootloader
- 64B nichtflüchtige Systemkonfiguration Erinnerung
- 64 Byte benutzerdefinierter Speicher

### • Energiemanagement und Energiesparmodus

- Verbrauch –**
- Systemstromversorgung VDD: 3,3 V oder 5 V –
- Energiesparmodus: Schlafmodus, Standby

### • Uhr & Reset

- Eingebaute, werkseitig getrimmte 24-MHz-Fernsteuerung Oszillator
- Eingebauter 128-kHz-RC-Oszillator
- Externer Hochgeschwindigkeitsoszillator 4~25MHz
- Ein-/Ausschalt-Reset, programmierbarer Spannungsdetektor

### • 7-Kanal-DMA-Controller für allgemeine Zwecke – 7 Kanäle,

- unterstützt Ringpuffer
- Unterstützt TIMx/ADC/USART/I2C/SPI

### • 1 Gruppe von OPA und Komparator: verbunden mit ADC und TIM2

### • 1 Gruppe von 10-Bit-ADCs

- Analoger Eingangsbereich: 0~VDD

- 8 externe Signale + 2 interne Signale
- Unterstützung externer verzögerter Auslösung

### • Mehrere Timer - 16-Bit-

- Timer mit erweiterter Steuerung, Totzonensteuerung und Notbremse; kann bieten
- PWM-Komplementärausgang für Motorsteuerung - 16-Bit-Universaltimer, bietet Eingangserfassung/ Ausgangsvergleich/PWM/Impulszählung/ Inkrementalgeber-Eingang - 2 Watchdog-Timer (unabhängiger Watchdog und Fenster-Watchdog)

- SysTick: 32-Bit-Zähler

### • Kommunikationsschnittstellen

- USART-Schnittstelle
- I2C-Schnittstelle
- SPI-Schnittstelle

### • GPIO-Port

- 3 Gruppen von GPIO-Ports, 18 I/O-Ports
- Zuordnung von 1 externem Interrupt

### • Sicherheitsmerkmale: 96-Bit-ID • Debug-Modus: 1-Wire-Schnittstelle für serielles Debugging (SDI)

### • Verpackung: SOP, TSSOP oder QFN

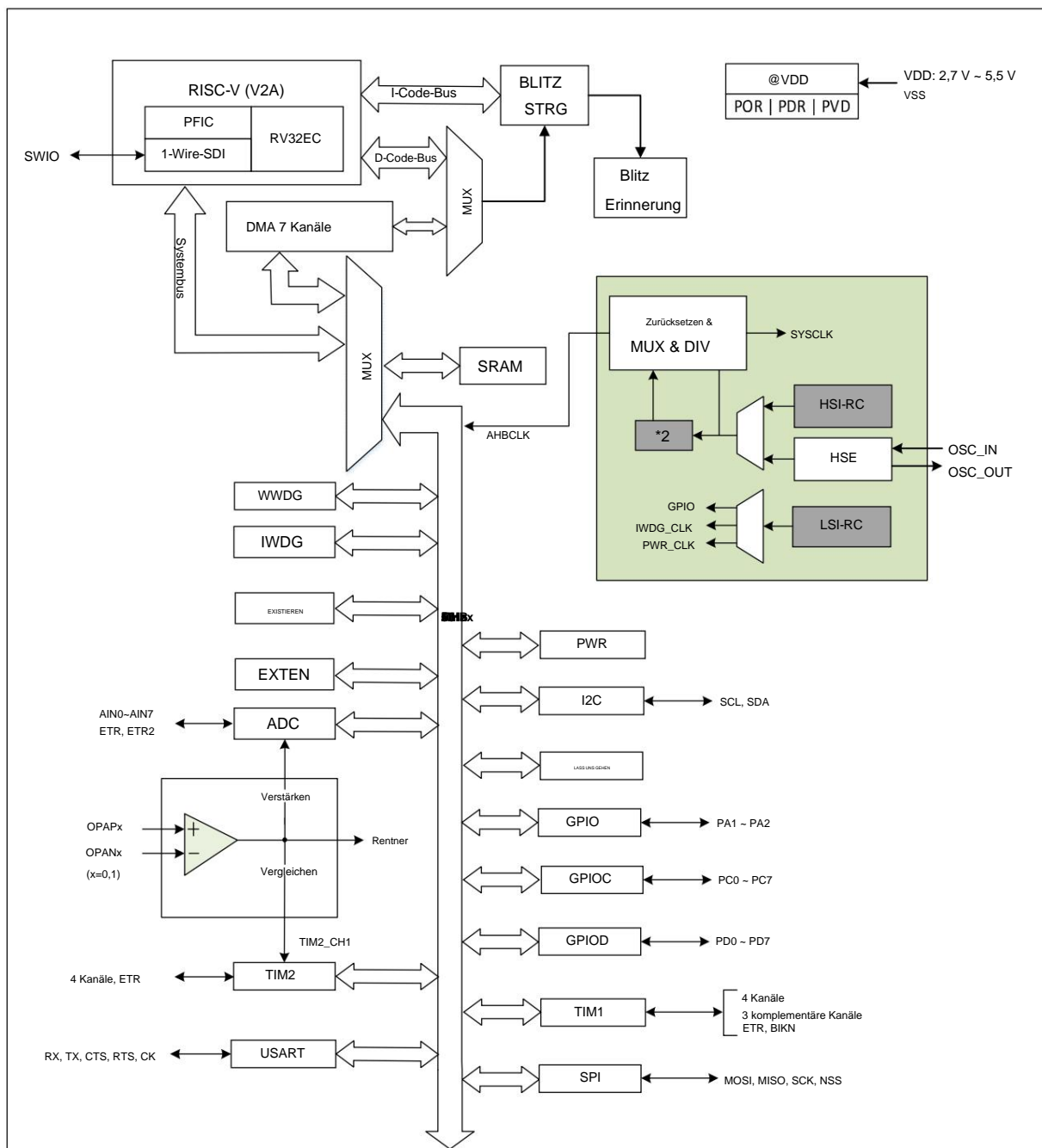
Modell	Blitz Erinnerung	SRAM	NEIN.	General-Zweck E/A	Advanced-Kontrolle Timer	General-Zweck Timer	Pin Wachhund	System Uhr Quelle	ADC Kanal NEIN.	SPI	I2C	UART	Paket Bilden
CH32V003F4P6	16K 2K 20			18	1	1	2	3	8	1	1	1	TSSOP20
CH32V003F4U6													QFN20
CH32V003A4M6 16K	2K 16			14	1	1	2	3	6	-	1	1	SOP16
CH32V003J4M6 16K	2K 8			6	1	1	2	3	6		1	1	SOP8

# Kapitel 1 Spezifikation

## 1.1 Systemarchitektur

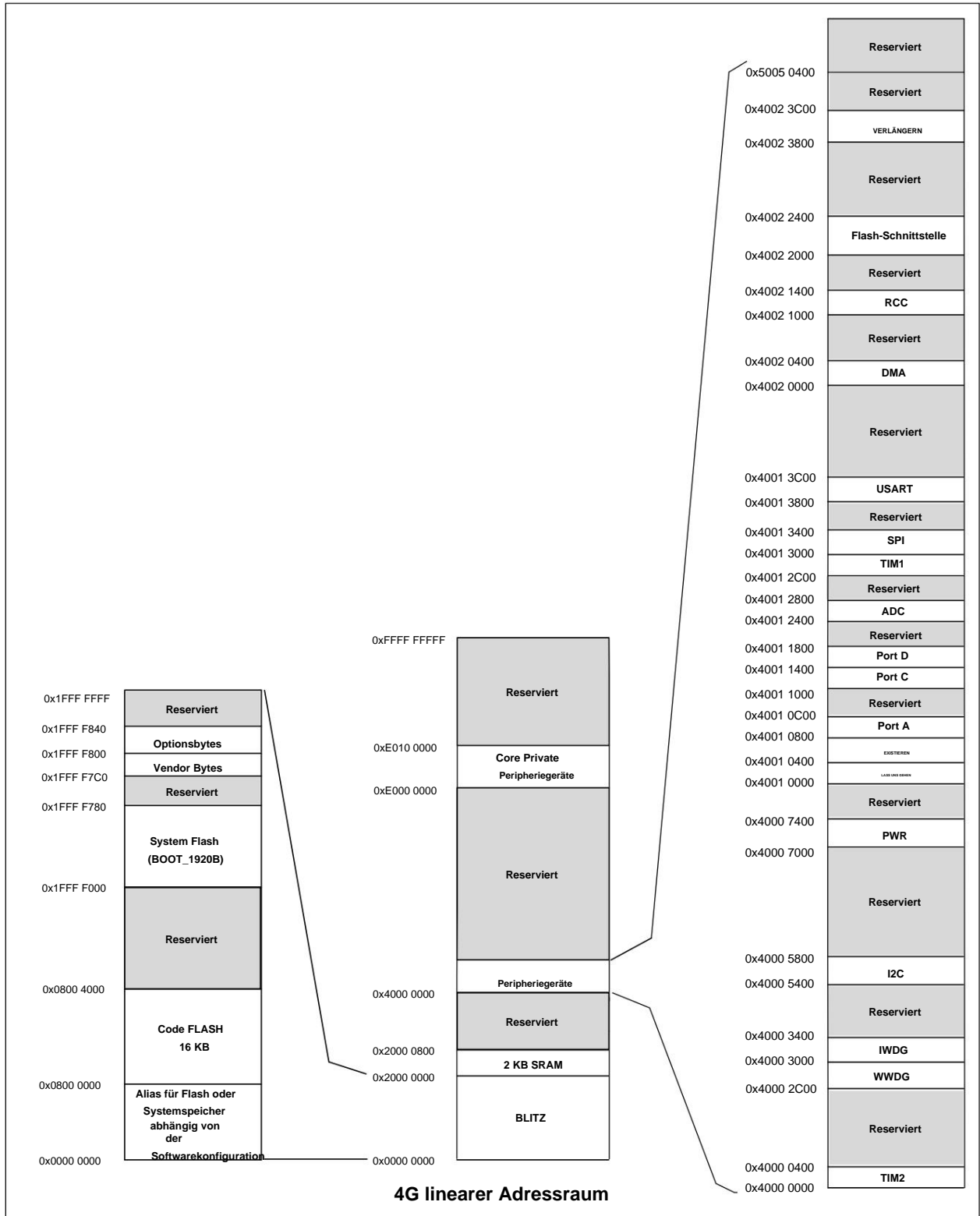
Der Mikrocontroller basiert auf dem RISC-V-Befehlssatz des QingKe V2A-Designs. Seine Architektur umfasst den Kern, die Arbitrierungseinheit, das DMA-Modul, den SRAM-Speicher und weitere Komponenten, die über mehrere Busgruppen miteinander interagieren. Das Design integriert einen universellen DMA-Controller, um die CPU-Last zu reduzieren und die Zugriffseffizienz zu verbessern. Zudem verfügt es über Datensicherungsmechanismen und einen automatischen Taktumschaltenschutz, um die Systemstabilität zu erhöhen. Das folgende Diagramm zeigt die Gesamtarchitektur des Produkts.

Abbildung 1-1 Systemblockdiagramm



## 1.2 Speicherabbildung

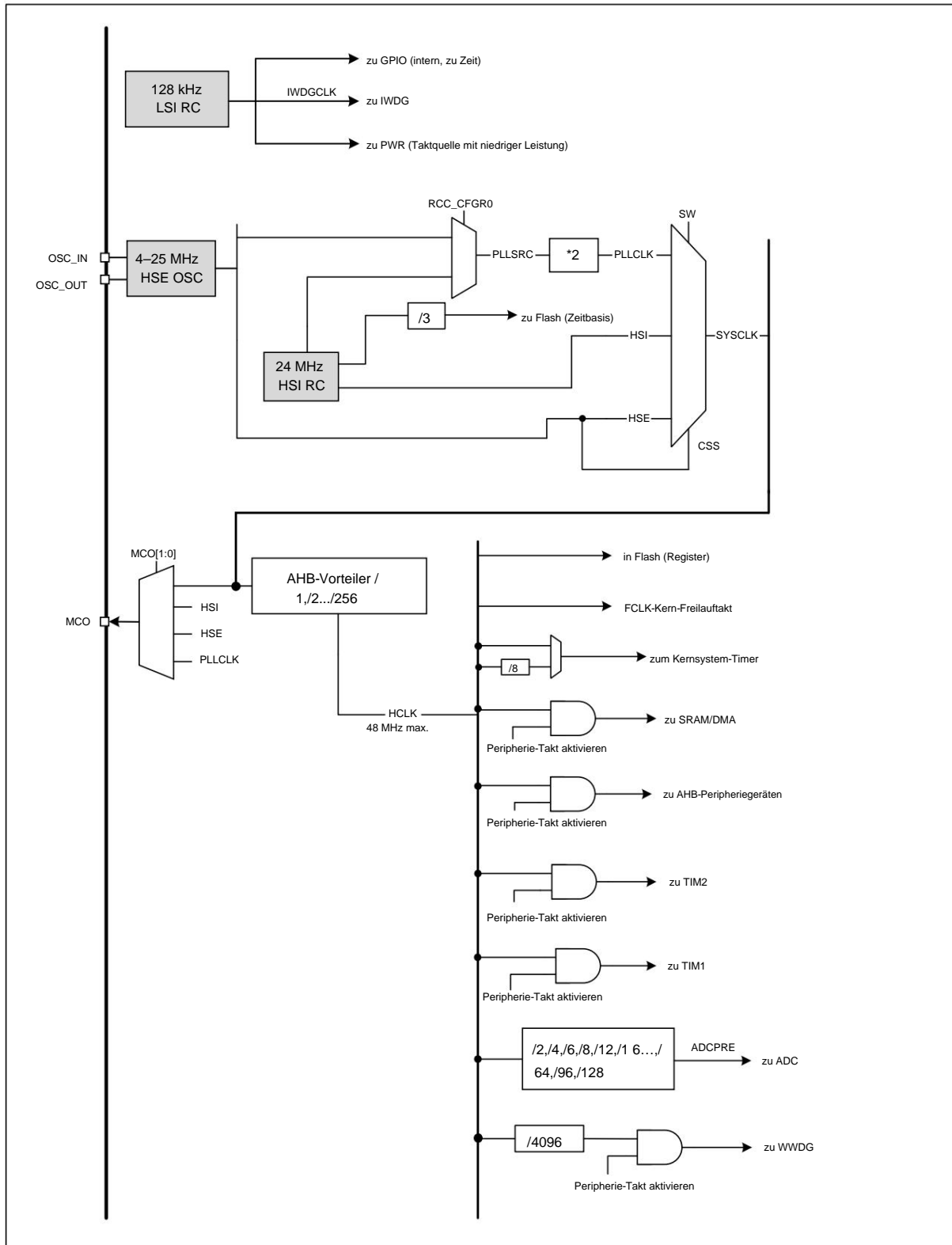
Abbildung 1-2 Speicheradresskarte



## 1.3 Uhrbaum

Das System verwendet drei Taktquellen: einen internen Hochfrequenz-RC-Oszillator (HSI), einen internen Niederfrequenz-RC-Oszillator (LSI), einen externen Hochfrequenzoszillator (HSE) und einen externen Niederfrequenzoszillator (LSE). Die Niederfrequenz-Taktquelle dient als Taktreferenz für die Echtzeituhr (RTC) und den unabhängigen Watchdog. Die Hochfrequenz-Taktquelle wird direkt oder indirekt als Systemtakt (SYSCLK) mit doppelter Frequenz ausgegeben. Jeder Prescaler stellt den Systemtakt für den AHB-Bereich bereit, der als Takt für die Peripheriesteuerung sowie als Abtast- oder Ausgabetakt dient. Einige Module benötigen den Takt direkt vom PLL.

Abbildung 1-3 Blockdiagramm der Uhrbaumstruktur



## 1.4 Funktionsbeschreibung

### 1.4.1 RISC-V2A-Prozessor

Der RISC-V2A unterstützt die EC-Teilmenge des RISC-V-Befehlssatzes. Der Prozessor ist intern modular aufgebaut und enthält Einheiten wie einen schnellen programmierbaren Interrupt-Controller (PFIC), Unterstützung für erweiterte Befehle und mehr. Der Bus ist mit einem externen Funktionsmodul verbunden, um die Interaktion zwischen dem externen Funktionsmodul und dem Kern zu ermöglichen. RV32EC-Befehlssatz, Small-End-Datenmodus.

Der Prozessor mit seinem minimalen Befehlssatz, mehreren Betriebsmodi und modularer, kundenspezifischer Erweiterung lässt sich flexibel in verschiedenen Anwendungsszenarien der Mikrocontroller-Entwicklung einsetzen, beispielsweise in kleinen, energieeffizienten eingebetteten Systemen. Szenarien.

• Unterstützung des Maschinenmodus

• Schneller programmierbarer Interrupt-Controller (PFIC) • Zweistufiger

Hardware-Interrupt-Stack • 1-Wire-Serielle Debug-

Schnittstelle (SDI)

• Benutzerdefinierte erweiterte Befehle

### 1.4.2 On-Chip-Speicher und Boot-Modus

Eingebauter 2K Byte SRAM-Bereich zur Datenspeicherung, Datenverlust nach dem Ausschalten.

Eingebauter 16 KB großer Programmspeicher (Code FLASH) für Benutzeranwendungen und konstante Daten

Lagerung.

Eingebauter Systemspeicher (System FLASH) von 1920 Bytes für den System-Bootloader (werkseitig vorinstallierter Bootloader), 64 Bytes für den Speicherbereich

der nichtflüchtigen Systemkonfigurationsinformationen und 64 Bytes für den Speicherbereich der vom Benutzer ausgewählten Wörter.

Unterstützung für das Springen zwischen Boot- und Benutzercode.

### 1.4.3 Stromversorgungsschema VDD =

2,7~5,5V: Stromversorgung für einige I/O-Pins und internen Spannungsregler ( die Leistung von VDD verschlechtert sich allmählich, wenn sie bei Verwendung des ADC unter 2,9V liegt).

### 1.4.4 Stromversorgungsüberwachung

Dieses Produkt verfügt über eine integrierte Power-On-Reset- (POR) und Power-Down-Reset-Schaltung (PDR), die permanent aktiv ist, um die Stromversorgung des Systems sicherzustellen. Sie arbeitet, sobald die Versorgungsspannung 2,7 V überschreitet. Fällt die Versorgungsspannung (VDD) unter den eingestellten Schwellenwert (VPOR/PDR), wird das Gerät ohne externe Reset-Schaltung in den Reset-Zustand versetzt.

Das System ist außerdem mit einem programmierbaren Spannungsmonitor (PVD) ausgestattet, der per Software aktiviert werden muss, um die Spannung der Versorgungsspannung VDD mit dem eingestellten Schwellenwert VPVD zu vergleichen. Durch Aktivieren des entsprechenden Flankeninterrupts des PVD erhalten Sie eine Interruptbenachrichtigung, sobald VDD den PVD-Schwellenwert unterschreitet oder überschreitet. Die Werte für VPOR/PDR und VPVD finden Sie in Kapitel 4.

### 1.4.5 Spannungsregler Nach dem

Reset schaltet sich der Regler automatisch ein und arbeitet je nach Anwendungsmodus in drei Betriebsmodi: • EIN-Modus: Normalbetrieb mit stabiler Kernspannung.

• Energiesparmodus: Wenn die CPU in den Stoppmodus wechselt, schaltet das System automatisch in den Standby-Modus.

#### 1.4.6 Energiesparmodus Das

System unterstützt 2 Energiesparmodi, die für einen geringen Stromverbrauch, eine kurze Startzeit und mehrere Aufwachereignisse ausgewählt werden können, um die beste Balance zu erreichen.

##### • Schlafmodus Im

Schlafmodus wird nur der CPU-Takt angehalten, alle Peripheriegeräte werden jedoch normal mit Strom versorgt und sind betriebsbereit. Dieser Modus ist der energiesparendste Modus, ermöglicht aber das schnellste Aufwecken des Systems.

Abbruchbedingung: jedes Unterbrechungs- oder Aufwachereignis.

##### • Standby-Modus: Die

PDDS- und SLEEPDEEP-Bits werden gesetzt und der Befehl WFI/WFE wird ausgeführt, um in diesen Modus zu wechseln. Die Stromversorgung des Kernels wird abgeschaltet, ebenso der RC-Oszillator von HSI und der Quarzoszillator von HSE. In diesem Modus wird der geringste Stromverbrauch erreicht.

Abbruchbedingungen: jede externe Unterbrechung/jedes externe Ereignis (EXTI-Signal), externes Reset-Signal an NRST, IWDG-Reset, wobei das EXTI-Signal einen der 18 externen E/A-Ports enthält, Ausgang von PVD, AWU-Auto-Wakeup.

#### 1.4.7 Schneller programmierbarer Interrupt-Controller (PFIC)

Der integrierte, schnell programmierbare Interrupt-Controller (PFIC) des Produkts unterstützt bis zu 255 Interruptvektoren und bietet flexible Interruptverwaltung mit minimaler Latenz. Das Produkt verwaltet aktuell 4 private Kerninterrupts und 23 Peripherieinterrupts; weitere Interruptquellen sind reserviert. Die Register des PFIC sind im privilegierten Maschinenmodus zugänglich. • 2 individuell maskierbare Interrupts • Bereitstellung eines nicht maskierbaren Interrupts (NMI) • Unterstützung des Hardware-Interrupt-Stacks (HPE) ohne zusätzlichen Befehlsaufwand • Bereitstellung eines 2-Wege-Interrupts ohne Metering (VTF) • Vektortabelle unterstützt Adress- oder Befehlsmodus • Unterstützung von zweistufiger Interruptverschachtelung • Unterstützung der Break-Tail-Link-Funktion

#### 1.4.8 Externer Interrupt/Event-Controller (EXTI)

Der externe Interrupt-/Ereignis-Controller verfügt über insgesamt acht Flankendetektoren zur Generierung von Interrupt-/Ereignisanforderungen. Jede Interruptleitung kann unabhängig mit ihrem Triggerereignis (steigende oder fallende Flanke oder Doppelflanke) konfiguriert und einzeln maskiert werden; das Statusregister speichert den Status aller Interruptanforderungen. EXTI kann Taktzyklen mit Impulsbreiten unterhalb der internen AHB erkennen. Optional können 18 universelle I/O-Ports an dieselbe externe Interruptquelle angeschlossen werden.

#### 1.4.9 Universeller DMA-Controller Das System

verfügt über eine integrierte Gruppe universeller DMA-Controller, die insgesamt acht Kanäle verwalten und die Hochgeschwindigkeits-Datenübertragung zwischen Speicher, Peripheriegeräten und Speicher sowie zwischen Speicher und Peripheriegeräten flexibel ermöglichen. Der Ringpuffermodus wird unterstützt. Jeder Kanal besitzt eine dedizierte Hardware-DMA-Anforderungslogik, um Zugriffsanforderungen eines oder mehrerer Peripheriegeräte an den Speicher zu verarbeiten. Zugriffspriorität, Übertragungslänge, Quelladresse und Zieladresse der Übertragung sind konfigurierbar.

Zu den wichtigsten Peripheriegeräten, die von DMA verwendet werden, gehören: Allzweck-/Erweiterte-Steuerungs-/Basistimer TIMx, DAC,

USART, I2C and SPI.

*Hinweis: DMA und CPU greifen nach der Arbitrierung durch den Arbitrer auf den System-SRAM zu.*

#### 1.4.10 Uhr und Bootvorgang

Die Systemtaktquelle HSI ist standardmäßig aktiviert. Wenn der Takt nicht konfiguriert oder zurückgesetzt wird, dient der interne 24-MHz-RC-Oszillator als Standard-CPU-Takt. Zusätzlich kann ein externer Takt von 4–25 MHz oder ein PLL-Takt ausgewählt werden. Ist der Taktsicherheitsmodus aktiviert und wird HSE als Systemtakt verwendet (direkt oder indirekt), schaltet der Systemtakt automatisch auf den internen RC-Oszillator um, sobald der externe Takt als ungültig erkannt wird. HSE und PLL werden dann automatisch deaktiviert. Im Energiesparmodus schaltet das System nach dem Aufwachen automatisch auf den internen RC-Oszillator um. Ist die Taktunterbrechung aktiviert, kann die Software die entsprechende Unterbrechung empfangen.

#### 1.4.11 Analog-Digital-Wandler (ADC)

Das Produkt verfügt über einen integrierten 10-Bit-Analog/Digital-Wandler (ADC), der bis zu acht externe und zwei interne Kanäle mit programmierbaren Abtastzeiten für Einzel-, Dauer-, Sweep- oder Intervallwandlung nutzt. Die analoge Watchdog-Funktion ermöglicht die präzise Überwachung eines oder mehrerer ausgewählter Kanäle zur Messung der Kanalsignalspannungen. Externe, ereignisgesteuerte Übergänge werden unterstützt, wobei die Triggerquellen interne Signale des On-Chip-Timers und externe Pins umfassen. DMA-Betrieb wird unterstützt. Eine externe Triggerverzögerungsfunktion ist ebenfalls vorhanden. Ist diese Funktion aktiviert, verzögert der Controller das Triggersignal entsprechend der konfigurierten Verzögerungszeit, sobald eine externe Triggerflanke auftritt. Die ADC-Wandlung wird ausgelöst, sobald die Verzögerungszeit erreicht ist.

#### 1.4.12 Timer und Watchdog Die Timer

im System umfassen einen erweiterten Steuerungstimer, einen Allzwecktimer, zwei Watchdog-Timer und einen Systemzeitbasistimer.

##### • Timer mit erweiterter Steuerung

Der fortschrittliche Timer ist ein 16-Bit-Autoloading-Auf-/Abwärtszähler mit einem programmierbaren 16-Bit-Vorteiler.

Zusätzlich zur vollständigen Universal-Timerfunktion kann er als dreiphasiger PWM-Generator mit 6 Kanälen und ergänzender PWM-Ausgangsfunktion mit Totzoneneinfügung betrachtet werden. Dadurch kann der Timer nach einer festgelegten Anzahl von Zählerzyklen aktualisiert werden, um den Zählzyklus zu wiederholen, Bremsfunktionen auszuführen usw. Viele Funktionen des erweiterten Timers entsprechen denen des Standard-Timers, und auch die interne Struktur ist identisch. Daher kann der erweiterte Timer über die Timer-Link-Funktion mit anderen TIM-Timern zusammenarbeiten, um Synchronisierungs- oder Ereignisverknüpfungsfunktionen bereitzustellen.

##### • Universeller Timer: Der

universelle Timer ist ein 16-Bit- oder 32-Bit-Auf-/Abwärtszähler mit automatischer Ladefunktion, einem programmierbaren 16-Bit-Vorteiler und vier unabhängigen Kanälen. Jeder Kanal unterstützt Eingangserfassung, Ausgangsvergleich, PWM-Generierung und Einzelimpulsausgabe. Über die Timer-Link-Funktion kann er mit Timern für erweiterte Steuerungen zusammenarbeiten, um Synchronisierungs- oder Ereignisverknüpfungsfunktionen bereitzustellen. Im Debug-Modus kann der Zähler eingefroren werden, während die PWM-Ausgänge deaktiviert werden, wodurch die von diesen Ausgängen gesteuerten Schalter abgeschaltet werden. Jeder universelle Timer kann zur Generierung von PWM-Ausgangssignalen verwendet werden. Jeder Timer verfügt über einen unabhängigen DMA-Anforderungsmechanismus. Diese Timer können auch Signale von Inkrementalgebern sowie digitale Ausgänge verarbeiten.  
1 bis 3 Hall-Sensoren.

ÿ Unabhängiger Watchdog Der

unabhängige Watchdog ist ein konfigurierbarer 12-Bit-Abwärtszähler, der 7 Frequenzteilungsfaktoren unterstützt.

Der Takt wird von einem internen, unabhängigen 128-kHz-RC-Oszillator (LSI) bereitgestellt. Da der LSI unabhängig vom Haupttakt arbeitet, kann er im Stopp- und Standby-Modus betrieben werden. Der IWDG (Integrated Watchdog Group) befindet sich außerhalb des Hauptprogramms und kann völlig unabhängig arbeiten. Daher wird er verwendet, um das gesamte System bei einem Problem zurückzusetzen oder als freier Timer für das Timeout-Management der Anwendung. Die Aktivierung des Watchdogs kann per Software oder Hardware über ein Optionsbyte konfiguriert werden. Im Debug-Modus kann der Zähler angehalten werden.

Der **Window** Watchdog ist ein

7-Bit-Abwärtszähler, der im Freilaufmodus betrieben werden kann. Er dient dazu, das gesamte System bei Problemen zurückzusetzen. Er wird vom Haupttakt gesteuert und verfügt über eine Frühwarnfunktion; im Debug-Modus kann der Zähler eingefroren werden.

Der SysTick-Timer des

QingKe-Mikroprozessorkerns verfügt über einen 32-Bit-Inkrementalzähler zur Generierung von SYSTICK-Ausnahmen (Ausnahmenummer: 15). Dieser kann in Echtzeitbetriebssystemen exklusiv zur Bereitstellung eines „Heartbeat“-Rhythmus für das System oder als Standard-32-Bit-Zähler verwendet werden. Er besitzt eine automatische Neuladefunktion und eine programmierbare Taktquelle.

### 1.4.13 Universeller synchroner/asynchroner Empfänger-Sender (USART)

Das Produkt umfasst eine Gruppe universeller synchroner/asynchroner Empfänger-Sender (USART). Es unterstützt Vollduplex-asynchrone Kommunikation, synchrone Einwegkommunikation und Halbduplex-Eindrahtkommunikation. Zudem unterstützt es LIN (Local Interconnect Network), ist kompatibel mit dem ISO7816-Smartcard-Protokoll und der IrDA-SIR-ENDEC-Übertragungscodecspezifikation und ermöglicht den Modembetrieb (CTS/RTS-Hardware-Flusssteuerung). Es erlaubt außerdem die Kommunikation zwischen mehreren Prozessoren. Das Produkt verwendet ein System zur Generierung von Bruchteil-Baudraten und unterstützt die kontinuierliche DMA-Kommunikation.

#### 1.4.14 Serielle Peripherieschnittstelle (SPI) 1 Die serielle

Peripherieschnittstelle (SPI) ermöglicht Master- oder Slave-Betrieb mit dynamischer Umschaltung. Sie unterstützt Multi-Master-Modus, Vollduplex- oder Halbduplex-Synchronübertragung sowie den Basismodus für SD-Karten und MMC. Takt polarität und -phase sind programmierbar, die Datenbitbreite ist auf 8 oder 16 Bit wählbar. Hardware-CRC-Generierung und -Prüfung gewährleisten eine zuverlässige Kommunikation, und die kontinuierliche Kommunikation wird für den DMA-Betrieb unterstützt.

#### 1.4.15 I2C Bus 1 I2C-

Bus-Schnittstelle, die im Multi-Master-Modus oder Slave-Modus arbeiten kann, komplett mit allen I2C-Bus-spezifischen Timing-, Protokoll-, Arbitrierungs- usw. Funktionen, die sowohl Standard- als auch schnelle Kommunikationsgeschwindigkeiten unterstützen.

Die I2C-Schnittstelle bietet 7-Bit- oder 10-Bit-Adressierung und unterstützt Dual-Slave-Adressierung im 7-Bit-Slave-Modus. Ein Hardware-CRC-Generator/Prüfer ist integriert.

### 1.4.16 Allgemeine Ein- und Ausgänge (GPIO)

Das System bietet drei Gruppen von GPIO-Ports mit insgesamt 18 GPIO-Pins. Jeder Pin kann per Software als Ausgang (Push-Pull oder Open-Drain), Eingang (mit oder ohne Pull-up/Pull-down) oder als Port für multiplexierte Peripheriegeräte konfiguriert werden. Die meisten GPIO-Pins werden von digitalen oder analogen multiplexierten Peripheriegeräten gemeinsam genutzt. Mit Ausnahme der Ports mit analogen Eingangsfunktionen sind alle GPIO-Pins hochstromfähig. Ein Sperrmechanismus fixiert die I/O-Konfiguration und verhindert so versehentliches Schreiben in das I/O-Register.

Die I/O-Pins des Systems werden über VDD versorgt. Durch Ändern der VDD -Versorgung ändert sich der High-Pegel der I/O-Pins, um ihn an den Pegel der externen Kommunikationsschnittstelle anzupassen. Die genauen Pinbelegungen entnehmen Sie bitte der Pinbeschreibung.

#### **1.4.17 Operationsverstärker/Komparator (OPA)**

Das Produkt verfügt über integrierte Operationsverstärker/Komparatoren mit interner Auswahl, die mit den Peripheriegeräten ADC und TIM2 (CH1) verknüpft sind. Deren Ein- und Ausgänge können durch Konfigurationsänderung für mehrere Kanäle ausgewählt werden. Externe analoge Kleinsignale werden verstärkt und dem ADC zur Kleinsignal-ADC-Wandlung zugeführt. Zusätzlich kann die Signalkomparatorfunktion ausgeführt werden; die Vergleichsergebnisse werden entweder über den GPIO-Ausgang oder direkt über den TIMx-Eingangskanal ausgegeben.

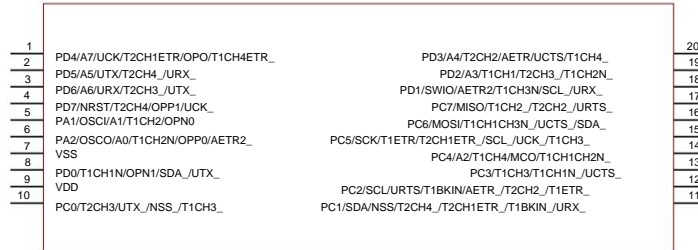
#### **1.4.18 1-Wire-Serielle Debug-Schnittstelle (SDI)**

Der Core verfügt über eine serielle 1-Wire-Debug-Schnittstelle (SWIO-Pin, Single Wire Input Output). Die Standardfunktion der Debug-Schnittstelle wird nach dem Einschalten oder Zurücksetzen des Systems aktiviert. Der HSI-Takt muss bei Verwendung der 1-Wire-Emulations-Debug-Schnittstelle aktiviert sein.

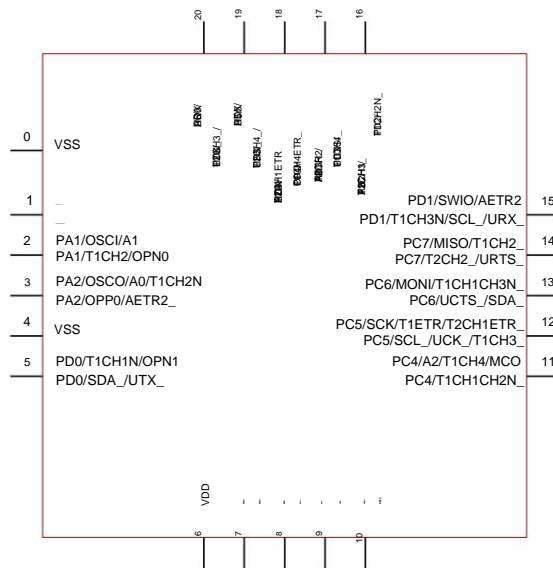
## Kapitel 2 Pinbelegung und Pin-Definition

### 2.1 Pinbelegung

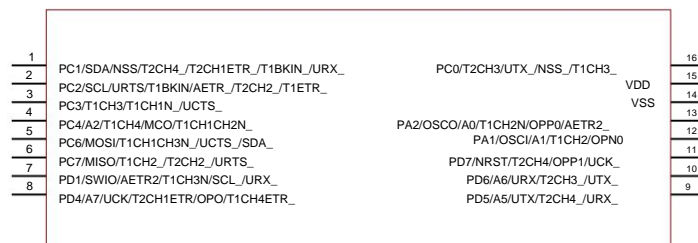
CH32V003F4P6



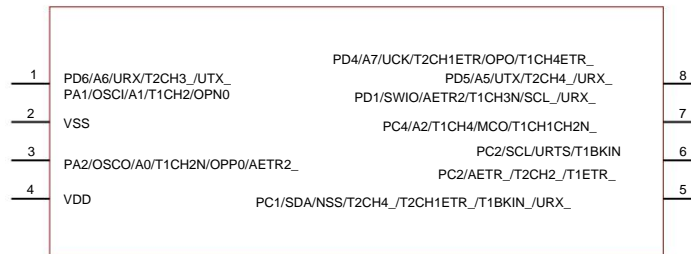
CH32V003F4U6



CH32V003A4M6



## CH32V003J4M6



Hinweis: Die multiplexierten Funktionen im Pin-Diagramm sind abgekürzt.

Beispiel: A: ADC, A7 (ADC\_IN7)

T: TIME, T2CH4 (TIM2\_CH4)

U: USART, URX (USART\_RX)

OP: OPA, OPO (OPA\_OUT), OPP1 (OPA\_P1)

OSCI (OSCIN)

OSCOUT

SDA (I2C\_SDA)

SCL (I2C\_SCL)

SCK (SPI\_SCK)

NSS (SPI\_NSS)

MOSI (SPI\_MOSI)

MISO (SPI\_MISO)

AETR(ADC\_ETR)

## 2.2 Pin-Beschreibung

Tabelle 2-1 Pin-Definitionen

Hinweis: Die Pin-Funktionsbeschreibungen in der folgenden Tabelle gelten für alle Funktionen und beziehen sich nicht auf bestimmte Produktmodelle. Die verfügbaren Peripheriegeräte können je nach Modell variieren. Bitte prüfen Sie daher vor der Ansicht die Verfügbarkeit der jeweiligen Funktion anhand der entsprechenden Tabelle.

PIN-Nr.				Stift Name	Stift Typ	Hauptsächlich Funktion (nach dem Zurücksetzen)	Standardmäßige alternative Funktion	Remapping-Funktion
10-15	1-9	0	VSS					
-	-	0	VSS		P	VSS	-	-
8	1 18 8	PD4	I/O/A PD4				UCK/T2CH1ETR(1)/A7/ WITWE	TIETR_2/T1CH4_3
9 2	19 8	PD5	I/O/A PD5				UTX/A5	T2CH4_3/URX_2
10 3	20 1	PD6	I/O/A PD6				URX/A6	T2CH3_3/UTX_2
11 4	1		- PD7	I/O/A PD7			NRST/T2CH4/OPP1	UCK_1/UCK_2/T2CH4_2
12 5		2	1	PA1 I/O/A		PA1	T1CH2/A1/OPN0	OSCI/T1CH2_2
13 6	3		3	PA2 I/O/A		PA2	T1CH2N/A0/OPP0	OSCO/AETR2_1/T1CH2N_2
14 7	4 2	VSS			P	VSS	-	-
-	8	5	-	PD0 I/O/A PD0			T1CH1N/OPN1	SDA_1/UTX_1/T1CH1N_2
15 9	6 4	VDD	P			VDD	-	-

16	10	7			- PC0 I/O		PC0	T2CH3	NSS_1/UTX_3/T2CH3_2 /T1CH3_1
1	11	8	5	PC1	I/O/FT		PC1	SDA/NSS	T1BKIN_1/T2CH4_1 T2CH1ETR(1)_2/URX_3 /T2CH1ETR(1)_3/T1BKIN_3
2	12	9	6	PC2	I/O/FT		PC2	SCL/URTS/T1BKIN	AETR_1/T2CH2_1 /T1ETR_3/URTS_1 /T1BKIN_2
3	13	10		PC3	E/A		PC3	T1CH3	T1CH1N_1/UCTS_1 /T1CH3_2/T1CH1N_3
4	14	11	7	PC4	E/A		PC4	T1CH4/MCO/A2	T1CH2N_1/T1CH4_2 /T1CH1_3
-	15	12		PC5	I/O/FT		PC5	SCK/T1ETR	T2CH1ETR(1)_1/SCL_2 /SCL_3/UCK_3/T1ETR_1 /T1CH3_3/SCK_1
5	16	13		PC6	I/O/FT		PC6	GELD	T1CH1_1/UCTS_2/SDA_2 /SDA_3/UCTS_3/T1CH3N_3 /ONE_1
6	17	14		PC7	E/A		PC7	MISO	T1CH2_1/URTS_2 /T2CH2_3/URTS_3 /T1CH2_3/MISO_1
7	18	15	8	PD1	I/O/A	PD1		SWIO/T1CH3N/AETR2	SCL_1/URX_1/T1CH3N_1 /T1CH3N_2
-	19	16		PD2	I/O/A	PD2		T1CH1/A3	T2CH3_1/T1CH2N_3 /T1CH1_2
-	20	17		PD3	I/O/A	PD3 A4		T2CH2/AETR/UCTS	T2CH2_2/T1CH4_1

Hinweis: 1. TIM2\_CH1, TIM2\_ETR;

2. Der Wert nach dem Unterstrich der Umbelegungsfunktion gibt den Konfigurationswert des entsprechenden Bits im AFIO-Register an. Beispiel: T1CH4\_3 bedeutet, dass das entsprechende Bit des AFIO-Registers als 11b konfiguriert ist;

3. Erläuterung der Tabellenabkürzungen: I

= Schmitt-Eingang auf TTL/CMOS-Pegel.

O = CMOS-Pegel-Tri-State-Ausgang.

P = Stromversorgung.

FT = 5V-tolerant.

A = Analoges Eingangs- oder Ausgangssignal.

## 2.3 Alternativfunktionen der Pins

Hinweis: Die Pin-Funktionsbeschreibungen in der folgenden Tabelle gelten für alle Funktionen und beziehen sich nicht auf bestimmte Produktmodelle. Die verfügbaren Peripheriegeräte können je nach Modell variieren. Bitte prüfen Sie daher vor der Ansicht die Verfügbarkeit der jeweiligen Funktion anhand der entsprechenden Tabelle.

Tabelle 2-2: Funktionen zum Umbelegen und Umordnen von Pins

Wechseln Stift	ADC	TIM1	TIM2	USART	SYSTEM	I2C	SPI	SWIO OPA
PA1	A1	T1CH2/T1CH2_2			OSCI			OPN0
PA2 A0/AETR2_1		T1CH2N/T1CH2N_2			OSCO			OPP0
PC0		T1CH3_1	T2CH3/T2CH3_2	UTX_3			NSS_1	
PC1		T1BKIN_1/T1BKIN_3	T2CH4_1/T2CH1ETR(1)_2 /T2CH1ETR(1)_3	URX_3		SDA	NSS	
PC2	AETR_1	T1BKIN/T1ETR_3 /T1BKIN_2	T2CH2_1	URTS/URTS_1		SCL		
PC3		T1CH3/T1CH1N_1 T1CH3_2/T1CH1N_3		UCTS_1				
PC4	A2	T1CH4/T1CH2N_1 /T1CH4_2/T1CH1_3			MCO			
PC5		T1ETR/T1CH3_3 /T1ETR_1	T2CH1ETR(1)_1	KLA_3		SCL_2/SCL_3 SCK/SCK_1		
PC6		T1CH1_1/T1CH3N_3		UCTS_2/UCTS_3		SDA_2/SDA_3 MOSI/MOSI_1		
PC7		T1CH2_1/T1CH2_3	T2CH2_3	URTS_2/URTS_3			MISO/MISO_1	
PD0		T1CH1N/T1CH1N_2		UTX_1		SDA_1		OPN1
PD1	AETR2	T1CH3N/T1CH3N_1 /T1CH3N_2		URX_1		SCL_1		SWIO
PD2	A3	T1CH1/T1CH2N_3 /T1CH1_2	T2CH3_1					
PD3	A4/AETR	T1CH4_1	T2CH2/T2CH2_2	UCTS				
PD4	A7	T1ETR_2/T1CH4_3	T2CH1ETR(1)	NLA				WITWE
PD5	A5		T2CH4_3	UTX/URX_2				
PD6	A6		T2CH3_3	URX/UTX_2				
PD7			T2CH4/T2CH4_2	UCK_1/UCK_2 NRST				OPP1

Hinweis: TIM2\_CH1<sup>1</sup> TIM2\_ETR.

## Kapitel 3 Elektrische Eigenschaften

### 3.1 Testbedingungen

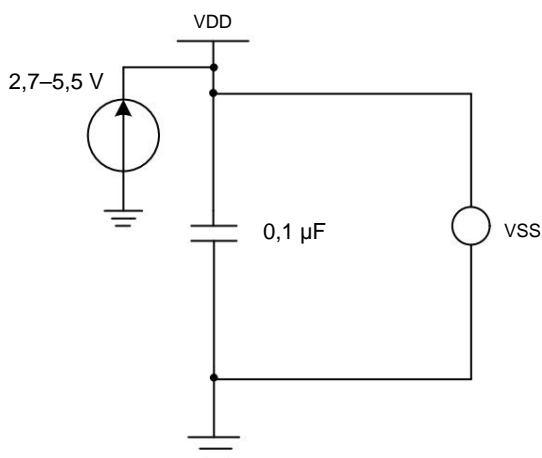
Sofern nicht anders angegeben und gekennzeichnet, beziehen sich alle Spannungen auf VSS.

Alle Minimal- und Maximalwerte sind unter ungünstigsten Bedingungen hinsichtlich Umgebungstemperatur, Versorgungsspannung und Taktfrequenz garantiert. Die typischen Werte basieren auf einer normalen Temperatur (25 °C) und einer Versorgungsspannung von 3,3 V bzw. 5 V und dienen lediglich als Designrichtlinien.

Die auf umfassender Bewertung, Designsimulation oder Technologiecharakteristika basierenden Daten werden nicht in der Produktion getestet. Die Minimal- und Maximalwerte der umfassenden Bewertung beziehen sich auf Stichprobenprüfungen. Sofern nicht anders angegeben, werden die charakteristischen Parameter durch eine umfassende Bewertung oder Konstruktion gewährleistet.

Stromversorgungsschema:

Abbildung 3-1 Typischer Schaltplan für ein herkömmliches Netzteil



### 3.2 Absolute Höchstwertungen

Belastungen, die die in der nachstehenden Tabelle aufgeführten absoluten Maximalwerte erreichen oder überschreiten, können zu dauerhaften Schäden am Gerät führen.

Tabelle 3-1 Absolute Maximalwerte

Symbol	Beschreibung	Mindestens	Max.	Einheit
Betriebung	Umgebungstemperatur während des Betriebs	-40	85 °C	
TS	Umgebungstemperatur während der Lagerung	-40	125 °C	
VDD-VSS	Externe Hauptversorgungsspannung (VDD)	-0,3	5,5	V
KOMMEN	Eingangsspannung am FT-Pin (5V-tolerant)	VSS-0,3	5,5	V
	Eingangsspannung an anderen	VSS-0,3	VDD+0,3	
Pins  VDD_x	Abweichungen zwischen verschiedenen Hauptstromversorgungspins		50	mV
VSS_x	Abweichungen zwischen verschiedenen Masse-Pins		50	mV

VESD(HBM)	Elektrostatische Entladungsspannung (Human Body Model, berührungslos)	4K		In
IVDD	Gesamtstrom in die VDD -Stromleitungen (Versorgungsstrom)		100	m.a.
<small>Initialstrom</small>	Gesamtstrom aus den VSS- Erdungsleitungen (Abflussstrom)		80	
II/O	Stromsenke an beliebigen I/O- und Steuerpins		20	
	Ausgangsstrom an beliebigen I/O- und Steuerpins		-20	
IINJ(PIN)	OSC_IN-Pin des HSE		+/-4	
	Stromeinspeisung an anderen Pins		+/-4	
IIINJ(PIN)	Gesamtstrom an allen Ein-/Ausgängen und Steuerpins		+/-20	

### 3.3 Elektrische Eigenschaften

#### 3.3.1 Betriebsbedingungen

Tabelle 3-2 Allgemeine Betriebsbedingungen

Symbol	Parameter	Zustand	Mindestens	Max.	Einheit
FHCLK	Interne AHB-Taktfrequenz			50	MHz
VDD	Standardbetriebsspannung	ADC wird nicht verwendet	2.7	5,5	In
		ADC verwenden (empfohlen)	2.8	5,5	
<small>Temperatur</small>	Umgebungstemperatur		-40	85 $\ddot{y}$	
TJ	Sperrschichttemperaturbereich		-40	105 $\ddot{y}$	

Tabelle 3-3 Ein- und Ausschaltzustände

Symbol	Parameter	Zustand	Mindestens	Max.	Einheit
tVDD	Anstiegszeit der VDD		0	$\ddot{y}$	us/V
	VDD -Abfallzeitrate		20	$\ddot{y}$	

#### 3.3.2 Eigenschaften des integrierten Reset- und Stromsteuerungsblocks

Tabelle 3-4 Rücksetz- und Spannungsüberwachung (Für PDR die höchste Schwelle wählen)

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
VPVD(1)	Programmierbare Spannung Auswahl des Detektorpegels	PLS[2:0] = 000 (steigende Flanke)		2,85		In
		PLS[2:0] = 000 (fallende Flanke)		2.7		In
		PLS[2:0] = 001 (steigende Flanke)		3.05		In
		PLS[2:0] = 001 (fallende Flanke)		2.9		In
		PLS[2:0] = 010 (steigende Flanke)		3.3		In
		PLS[2:0] = 010 (fallende Flanke)		3.15		In
		PLS[2:0] = 011 (steigende Flanke)		3,5		In
		PLS[2:0] = 011 (fallende Flanke)		3.3		In
		PLS[2:0] = 100 (steigende Flanke)		3.7		In
		PLS[2:0] = 100 (fallende Flanke)		3,5		In
		PLS[2:0] = 101 (steigende Flanke)		3.9		In
		PLS[2:0] = 101 (fallende Flanke)		3.7		In
		PLS[2:0] = 110 (steigende Flanke)		4.1		In

		PLS[2:0] = 110 (fallende Flanke)		3.9		In
		PLS[2:0] = 111 (steigende Flanke)		4.4		In
		PLS[2:0] = 111 (fallende Flanke)		4.2		In
VPVDhyst	PVD Hysterese			0,18		In
VPOR/PDR	Ein-/Ausschalten	Aufsteigende Kante	2.32	2,5	2,68	In
	Schwellenwert zurücksetzen	Fallende Flanke	2.3	2,48	2,66	In
VPDRhyst	PDR Hysterese			20		mV
tRSTTEMPO	Neustart		1	1.5(2)	21	MS
	Andere Resets			300		uns

Hinweis: 1. Normaler Temperaturprüfwert.

2. Mit dem Benutzerkonfigurationsbit `RST_MODE` kann die Verzögerung beim Einschalten des Resets erhöht werden.

### 3.3.3 Eingebettete Referenzspannung

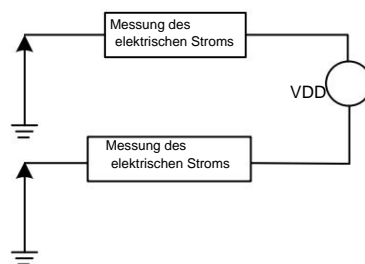
Tabelle 3-5 Eingebettete Referenzspannung

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
VREFINT	Interne Referenzspannung	TA = -40~85	1.17	1.2	1.23	In
TS_vrefint	ADC-Abtastzeit beim Auslesen der internen Referenzspannung		3		500	1/ADC

### 3.3.4 Eigenschaften des Versorgungsstroms Der

Stromverbrauch ist ein umfassender Indikator, der von einer Vielzahl von Parametern und Faktoren abhängt. Zu diesen Parametern und Faktoren gehören Betriebsspannung, Umgebungstemperatur, I/O-Pin-Last, die Softwarekonfiguration des Produkts, die Betriebsfrequenz, die Flip-Rate des I/O-Pins, der Speicherort des Programms und der ausgeführte Code usw. Die Messung des Stromverbrauchs erfolgt wie folgt:

Abbildung 3-2 Stromverbrauchsmessung



Der Mikrocontroller befindet sich in folgenden Zuständen:

Normale Temperatur VDD = 3,3 V oder 5 V, während des Tests: alle IO-Ports mit Pull-Down-Eingängen konfiguriert; HSI eingeschaltet beim Testen von HSE, HSE ausgeschaltet beim Testen von HSI, HSE = 24 MHz, HSI = 24 MHz (kalibriert); Systemtaktquelle CLK\*2, wenn FHCLK = 48 MHz, 16 MHz; Taktung aller Peripheriegeräte nur dann, wenn alle Peripheriegeräte eingeschaltet sind.

Aktiviert oder deaktiviert den Stromverbrauch aller Peripherie-Taktgeber.

Tabelle 3-6-1 Typischer Stromverbrauch im Run-Modus, Datenverarbeitungscode wird vom internen Flash-Speicher ausgeführt  
(VDD = 3,3 V).

Symbolparameter	Zustand	Typ.		Einheit		
		Alle Peripheriegeräte ermöglicht	deaktiviert			
IDD(1)	Versorgungsstrom Laufmodus	Externe Uhr	FHCLK = 48 MHz	7.4	5.2	m.a.
			FHCLK = 24 MHz	5.6	4,5	
			FHCLK = 16 MHz	4.7	3.9	
			FHCLK = 8 MHz	3.0	2.6	
			FHCLK = 750 kHz	1.7	1.7	
		Läufe An Die Hochgeschwindigkeits- RC-Oszillator (HSI). Verwendet AHB-Vorkalkulator Zu reduzieren Die Frequenz.	FHCLK = 48 MHz	6.4	4.0	
			FHCLK = 24 MHz	4.6	3,5	
			FHCLK = 16 MHz	4.0	3.3	
			FHCLK = 8 MHz	2.4	2.0	
			FHCLK = 750 kHz	1.1	1.1	

Hinweis: 1. Bei den oben genannten Parametern handelt es sich um Messwerte.

2. Wenn VDD < 3V, steigt der Stromverbrauch.

Tabelle 3-6-2 Typischer Stromverbrauch im Run-Modus, Datenverarbeitungscode wird vom internen Flash-Speicher ausgeführt  
(VDD = 5V)

Symbolparameter	Zustand	Typ.		Einheit		
		Alle Peripheriegeräte ermöglicht	deaktiviert			
IDD(1)	Liefere aktuell in Laufmodus	Externe Uhr	FHCLK = 48 MHz	9.0	6.8	m.a.
			FHCLK = 24 MHz	7.1	6.0	
			FHCLK = 16 MHz	5.9	5.1	
			FHCLK = 8 MHz	3.7	3.3	
			FHCLK = 750 kHz	2.1	2.0	
		Läufe An Die Hochgeschwindigkeits- RC-Oszillator (HSI). Verwendet AHB-Vorkalkulator Zu reduzieren Die Frequenz.	FHCLK = 48 MHz	7.4	5.1	
			FHCLK = 24 MHz	5,7	4.6	
			FHCLK = 16 MHz	5.2	4.4	
			FHCLK = 8 MHz	3.2	2.8	
			FHCLK = 750 kHz	1,5	1.4	

Hinweis: 1. Bei den oben genannten Parametern handelt es sich um Messwerte.

Tabelle 3-7-1 Typischer Stromverbrauch im Schlafmodus, Datenverarbeitungscode läuft aus internem Flash oder SRAM (VDD = 3,3 V).

Symbol	Parameter	Zustand	Typ.		Einheit	
			Alle Peripheriegeräte ermöglicht	deaktiviert		
IDD(1)	Liefere	Externe Uhr	FHCLK = 48 MHz	4.7	2.4	m.a.

aktuell in Schlafmodus (In diesem Fall periphere Stromversorgung) und Uhr sind (gepflegt)	Läuft auf dem Hochgeschwindigkeits-Innen RC-Oszillator (HSI). Nutzt einen AHB-Prescaler zur Frequenzreduzierung.	FHCLK = 24 MHz	2.8	1.7
		FHCLK = 16 MHz	2,5	1.7
		FHCLK = 8 MHz	1.7	1.3
		FHCLK = 750 kHz	1.2	1.1
	Läuft auf dem Hochgeschwindigkeits-Innen RC-Oszillator (HSI). Nutzt einen AHB-Prescaler zur Frequenzreduzierung.	FHCLK = 48 MHz	4.1	1.7
		FHCLK = 24 MHz	2.1	1.0
		FHCLK = 16 MHz	1.8	1.0
		FHCLK = 8 MHz	1.0	0,6
FHCLK = 750 kHz		0,5	0,4	

Hinweis: 1. Bei den oben genannten Parametern handelt es sich um Messwerte.

Tabelle 3-7-2 Typischer Stromverbrauch im Schlafmodus, Datenverarbeitungscode wird vom internen Flash-Speicher ausgeführt oder SRAM (VDD = 5V)

Symbol	Parameter	Zustand	Typ.		Einheit	
			Alle Peripheriegeräte aktiviert	Alle Peripheriegeräte deaktiviert		
IDD(1)	Versorgungsstrom in Schlafmodus (In diesem Fall sind die periphere Stromversorgung und (gepflegt)	Externe Uhr	FHCLK = 48 MHz	4.7	2.4	m.a.
			FHCLK = 24 MHz	2.8	1.7	
			FHCLK = 16 MHz	2,5	1.7	
			FHCLK = 8 MHz	1.7	1.3	
			FHCLK = 750 kHz	1.2	1.1	
		Läuft auf dem Hochgeschwindigkeits-Innen RC Oszillator (HSI). Nutzt einen AHB-Prescaler zur Frequenzreduzierung.	FHCLK = 48 MHz	4.1	1.7	
			FHCLK = 24 MHz	2.1	1.0	
			FHCLK = 16 MHz	1.8	1.0	
			FHCLK = 8 MHz	1.0	0,6	
			FHCLK = 750 kHz	0,5	0,4	

Hinweis: 1. Bei den oben genannten Parametern handelt es sich um Messwerte.

Tabelle 3-8 Typischer Stromverbrauch im Standby-Modus

Symbol	Parameter	Zustand	Typ.	Einheit	
IDD	Liefere aktuell in Standby-Modus	LSI ist	VDD = 3,3 V	9.1	A
			VDD = 5 V	9.4	
		LSI aus	VDD = 3,3 V	7.6	
			VDD = 5 V	8.0	

Hinweis: 1. Bei den oben genannten Parametern handelt es sich um Messwerte.

2. Die Testbedingungen sind: bei Raumtemperatur VDD = 3,3 V oder 5 V, Test der anfänglichen Masterfrequenz HSI = 24M, alle IO-Ports sind mit Pull-Down-Eingängen konfiguriert.

### 3.3.5 Eigenschaften der externen Taktquelle

Tabelle 3-9 Von externem Hochgeschwindigkeitstakt

Symbol	Parameter	Zustand	Mindestens	Typ.	Max. Einheit
--------	-----------	---------	------------	------	--------------

FHSE_ext	Externe Taktfrequenz		4	24	25 MHz	
VHSEH(1)	Eingangspin OSC_IN, hohe Spannung		0,8VDD		VDD V	
VHSEL(1)	Niedrigpegelspannung am OSC_IN- Eingangspin		0		0,2 VDD V	
Cin(HSE)	OSC_IN Eingangskapazität			5		pF
DuCy(HSE)	Arbeitszyklus		40	50	60 %	
DER	Leckstrom am Eingang OSC_IN				±1	A

Hinweis: 1. Wird diese Bedingung nicht erfüllt, kann dies zu einem Fehler bei der Niveauerkennung führen.

Abbildung 3-3 Externe Hochfrequenz-Taktquellenschaltung

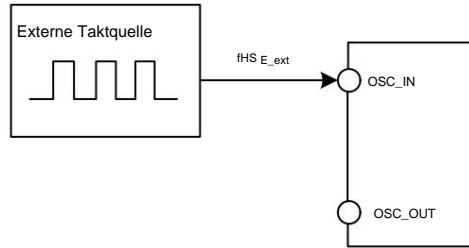


Tabelle 3-10: Hochgeschwindigkeits-Externertakt, erzeugt aus einem Quarz-/Keramikeresonator

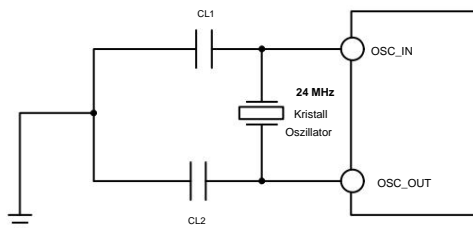
Symbol	Parameter	Zustand	Mindestens	Typ.	Max. Einheit
FOSC_IN	Resonatorfrequenz		4	24	25 MHz
RF	Rückkopplungswiderstand			250	k $\Omega$
C	Empfohlen laden Kapazität und zugehörige Kristall- Serienimpedanz RS	RS = 60 $\Omega$ (1)		20	pF
I2	HSE-Antriebsstrom	VDD = 3,3 V, 20 pF Last.		0,32	m.a.
gm	Osillator-Transkonduktanz			6.8	mA/V
tSU(HSE)	Anlaufzeit	Anlaufspannung VDD ist stabil, 24 MHz Quarz.		2	MS

Anmerkung 1: Es wird empfohlen, dass der ESR-Wert des 25M-Kristalls 60  $\Omega$  nicht überschreitet; diese Vorgabe kann jedoch gelockert werden, wenn er niedriger als 25 Mio.

Schaltungsreferenzdesign und Anforderungen:

Die Lastkapazität des Quarzes richtet sich nach den Empfehlungen des Quarzherstellers, im Allgemeinen CL1 = CL2.

Abbildung 3-4 Typischer Schaltplan eines externen 24M-Quarzes



### 3.3.6 Eigenschaften der internen Taktquelle

Tabelle 3-11: Eigenschaften des internen Hochgeschwindigkeits-RC-Oszillators (HSI).

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
FHSI	Frequenz (nach Kalibrierung)			24		MHz
DuCyHSI	Tastverhältnis		45	50	55	%
ACCSI	Genauigkeit des HSI-Oszillators (nach Kalibrierung)	TA = 0 $\ddot{y}$ 70 $\ddot{y}$	-1,2		1.6	%
		TA = -40 $\ddot{y}$ 85 $\ddot{y}$	-2,2		2.2	%
tSU(HSI)	HSI Start-up Stabilisierungszeit			10		uns
IDD(HSI)	HSI-Oszillator-Leistungsaufnahme		120	180	270	A

Tabelle 3-12: Eigenschaften des internen RC-Oszillators mit niedriger Drehzahl (LSI).

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
FLSI	Frequenz		100	128	150	kHz
DuCyLSI	Tastverhältnis		45	50	55	%
tSU (LSI)	LSI-Oszillator Start-up Stabilisierungszeit			80		uns
IDD(LSI)	Leistungsaufnahme des LSI-Oszillators			1,5		A

### 3.3.7 Aufwachzeit aus dem Energiesparmodus

Tabelle 3-13 Aufwachzeit aus dem Energiesparmodus(1)

Symbol	Parameter	Zustand	Typ.	Einheit
twusleep	Aufwachen aus dem Schlafmodus	Aufwachen mit HSI RC-Uhr	30	uns
tWUSTDBY	Aufwachen aus dem Standby-Modus	LDO-Stabilisierungszeit + HSI RC Uhr-Aufwachzeit + Code-Ladezeit (2) (Nehmen wir 128K als Beispiel)	200	uns

Hinweis: Bei den oben genannten Parametern handelt es sich um Messwerte.

### 3.3.8 Speichereigenschaften

Tabelle 3-14 Eigenschaften von Flash-Speichern

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
tERASE_64	Seite (64 Bytes) Programmierzeit	TA = -20 $\ddot{y}$ -85 $\ddot{y}$	2.4		3.1	MS
TERRASSE	Seite (64 Bytes) Löschezit	TA = -20 $\ddot{y}$ -85 $\ddot{y}$	2.4		3.1	MS
tprog	Bit-Programmierzeit	TA = -20 $\ddot{y}$ -85 $\ddot{y}$	2.4		3.1	MS
tME	Löschezit des gesamten Chips	TA = -20 $\ddot{y}$ -85 $\ddot{y}$	2.4		3.1	MS
Vprog	Programmierspannung		2.8		5,5	In

Tabelle 3-15: Lebensdauer und Datenspeicherung von Flash-Speichern

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
NEND	Ausdauer	TA = 25 $\ddot{y}$	10K	80K(1)		mal
tRET	Datenaufbewahrung		10			Jahr

Hinweis: Der Ausdauerparameter wurde tatsächlich gemessen und ist daher nicht garantiert.

### 3.3.9 Eigenschaften der E/A-Ports

Tabelle 3-16 Statische Kennlinien für allgemeine E/A-Schnittstellen

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
HIV	Standard-I/O-Pin, Eingangsspannung auf hohem Pegel		0,22*(VDD-2,7)+1,55		VDD+0,3 V	
	FT I/O-Pin, Eingangsspannung auf hohem Pegel		0,22*(VDD-2,7)+1,55		5,5	In
WILLE	Standard-I/O-Pin, Eingangsspannung auf niedrigem Pegel		-0,3		0,19*(VDD-2,7)+0,65	In
	FT I/O-Pin, Eingangsspannung auf niedrigem Pegel		-0,3		0,19*(VDD-2,7)+0,65	In
	Vhys Schmitt-Triggerspannungshysterese		150			mV
Ilkg	Eingangslackstrom	Standard-E/A-Anschluss			1	A
		FT-E/A-Port			3	
RPU	Schwacher Pull-up-äquivalenter Widerstand		35	45	55	k $\Omega$
RPD	Schwacher Pull-Down-Äquivalentwiderstand		35	45	55	k $\Omega$
	CI/O I/O-Pin-Kapazität			5		pF

Die Ausgangsstromcharakteristik der

GPIO-Ports (General-Purpose Input/Output Port) ermöglicht die Aufnahme oder Abgabe von Strömen bis zu  $\pm 8$  mA und von Strömen bis zu  $\pm 20$  mA (nicht strikt auf VOL/VOH bezogen). In Anwenderanwendungen darf der Gesamtstrom aller I/O-Pins die in Abschnitt 3.2 angegebenen maximalen Grenzwerte nicht überschreiten.

Tabelle 3-17 Ausgangsspannungscharakteristik

Symbol	Parameter	Zustand	Mindestens	Max.	Einheit
BAND	Ausgang auf niedrigem Pegel, wenn 8 Pins auf	TTL-Port, II/O = +8mA		0,4	In
VOH	Massepotenzial liegen. Ausgang auf hohem Pegel, wenn	2,7V < VDD < 5,5V	VDD-0.4		
BAND	8 Pins auf Massepotenzial liegen. Ausgang auf	CMOS-Port, II/O = +8mA		0,4	In
VOH	niedrigem Pegel, wenn 8 Pins auf Massepotenzial liegen.	2,7 V < VDD < 5,5 V	2.3		
BAND	Ausgang auf hohem Pegel, wenn 8 Pins auf	II/O = +20mA		1.3	In
VOH	Massepotenzial liegen. Ausgang auf niedrigem Pegel,	2,7 V < VDD < 5,5 V	VDD-1.3		

wenn 8 Pins auf Massepotenzial liegen. Ausgang auf hohem Pegel, wenn 8 Pins auf Massepotenzial liegen. Hinweis: Unter den oben genannten

Bedingungen darf der Gesamtstrom die in Tabelle 3.2 angegebenen maximalen Werte nicht überschreiten, wenn mehrere I/O-Pins gleichzeitig

angesteuert werden. Darüber hinaus ist der Strom am Masse-/Versorgungspunkt sehr hoch, wenn mehrere I/O-Pins gleichzeitig angesteuert werden.

Dies führt zu einem Spannungsabfall, der dazu führt, dass die interne I/O-Spannung die in der Tabelle angegebene Versorgungsspannung nicht erreicht. Dadurch ist der Treiberstrom als dem Nennwert.

Tabelle 3-18 Eingangs-/Ausgangs-Wechselstromkennlinien

MODEx[1:0] Konfiguration	Symbol	Parameter	Zustand	Min.	Max.	Einheit
10 (2 MHz)	Fmax(I/O)out	Maximale Frequenz	CL = 50 pF, VDD = 2,7–5,5 V			2 MHz
	tf(I/O)out	Ausgabe High-Low-Fallzeit	CL = 50 pF, VDD = 2,7–5,5 V			125 ns
	tr(I/O)out	Ausgang Anstiegszeit von niedrig nach hoch				125 ns
01 (10 MHz)	Fmax(I/O)out	Maximale Frequenz	CL = 50 pF, VDD = 2,7–5,5 V			10 MHz
	tf(I/O)out	Ausgabe High-Low-Fallzeit	CL = 50 pF, VDD = 2,7–5,5 V			25 ns
	tr(I/O)out	Ausgang Anstiegszeit von niedrig nach hoch				25 ns
11 (30 MHz)	Fmax(I/O)out	Maximale Frequenz	CL = 50 pF, VDD = 2,7–5,5 V			30 MHz
	O)out	Abfallzeit von High nach Low	CL = 50 pF, VDD = 2,7–5,5 V			10 ns
		Anstiegszeit von Low nach High	CL = 50 pF, VDD = 2,7–5,5 V			10 ns
	tEXTIpw	erkennt die Impulsbreite des externen Signals			10	ns

### 3.3.10 NRST-Pin-Eigenschaften

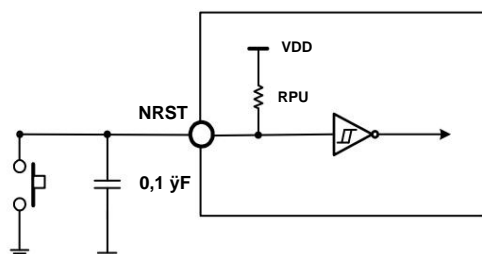
Tabelle 3-19 Eigenschaften des externen Reset-Pins

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
WILL(NRST)	NRST-Eingangsspannung (niedriger Pegel)		-0,3		$0,28 \cdot (VDD - 1,8) + 0,6$ V	
VIH(NRST)	NRST-Eingangsspannung (Hochpegel)		$0,41 \cdot (VDD - 1,8) + 1,3$		VDD + 0,3	In
V <sub>hys</sub> (NRST)	NRST Schmitt-Trigger-Spannungshysterese		150			mV
RPU(1)	Schwacher Pull-up-äquivalenter Widerstand		35	45	55	k $\Omega$

Hinweis: 1. Der Pull-up-Widerstand ist ein realer Widerstand in Reihe mit einer schaltbaren PMOS-Schaltung. Der Widerstand dieses PMOS/NMOS-Schalters ist sehr gering (ca. 10 %).

Schaltungsreferenzdesign und Anforderungen:

Abbildung 3-5 Typischer Schaltplan des externen Reset-Pins



### 3.3.11 Eigenschaften des TIM-Timers

Tabelle 3-20 TIMx-Eigenschaften

Symbol	Parameter	Zustand	Mindestens	Max.	Einheit
--------	-----------	---------	------------	------	---------

drei (TIM)	Zeitgeber-Referenzuhr		1		tTIMxCLK
		fTIMxCLK = 48 MHz	20.8		ns
FEXT	Timer externe Taktfrequenz ein CH1 bis CH4		0	fTIMxCLK/2 MHz	
		fTIMxCLK = 48 MHz	0	24	MHz
WIDERSTAND	Zeitauflösung			16	bisshen
tCOUNTER	16-Bit-Zählertaktzyklus bei Auswahl des internen Takts		1	65536 tTIMxCLK	
		fTIMxCLK = 48 MHz	0,0208	1363	uns
tMAX_COUNT	Maximal mögliche Anzahl			65535	tTIMxCLK
		fTIMxCLK = 48 MHz		1363	s

### 3.3.12 Eigenschaften der I2C-Schnittstelle

Abbildung 3-6 I2C-Bus-Timingdiagramm

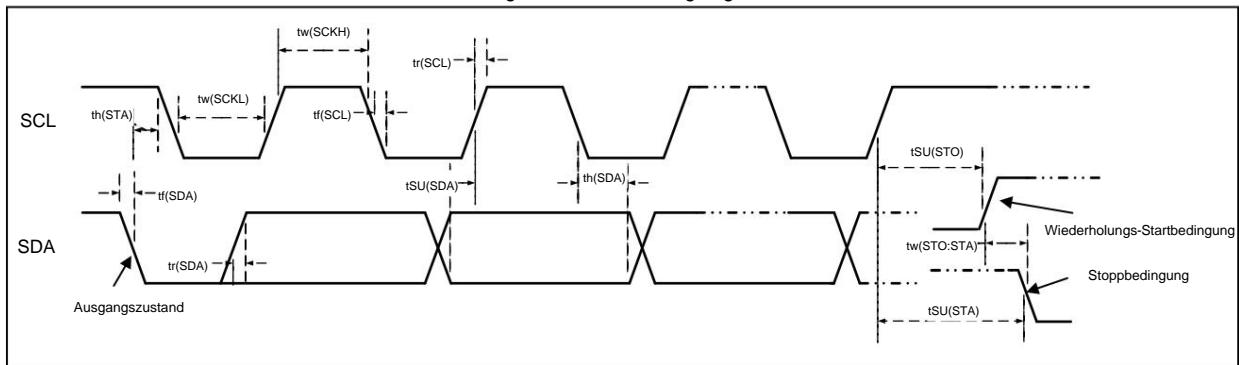


Tabelle 3-21: Eigenschaften der I2C-Schnittstelle

Symbol	Parameter	Standard I2C		Schnelles I2C		Einheit
		Mindestens	Max.	Mindestens	Max.	
tw(SCKL)	SCL-Takt-Low-Zeit tw(SCKH)	4.7		1.2		uns
	SCL-Takt-High-Zeit tSU(SDA) SDA-	4.0		0,6		uns
	Daten-Setup-Zeit th(SDA) SDA-Daten-	250		100		ns
	Haltezeit tr(SDA)/tr(SCL) SDA- und	0		0	900	ns
	SCL-Anstiegszeit tf(SDA)/tf(SCL) SDA- und		1000	20		ns
	SCL-Abfallzeit		300			ns
th(STA)	Startbedingung Haltezeit	4.0		0,6		uns
tSU(STA)	Einrichtungszeit für wiederholte Startbedingungen	4.7		0,6		uns
tSU(STO)	Einrichtungszeit der Stoppbedingung	4.0		0,6		uns
tw(STO:STA)	Zeit vom Stillstand bis zum Startzustand (Bus frei)	4.7		1.2		uns
Cb	Kapazitive Last für jeden Bus		400		400	pF

## 3.3.13 Eigenschaften der SPI-Schnittstelle

Abbildung 3-7: SPI-Timingdiagramm im Master-Modus

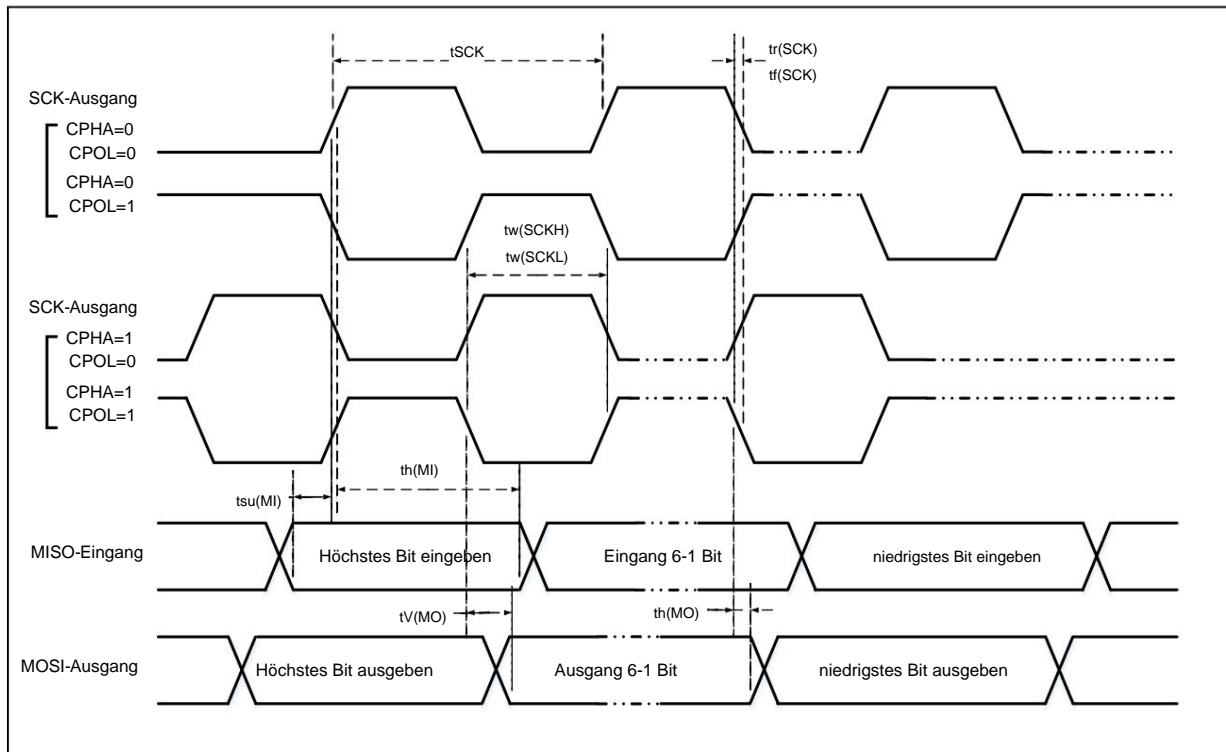


Abbildung 3-8-1 SPI-Timingdiagramm im Slave-Modus (CPHA = 0, CPOL = 0)

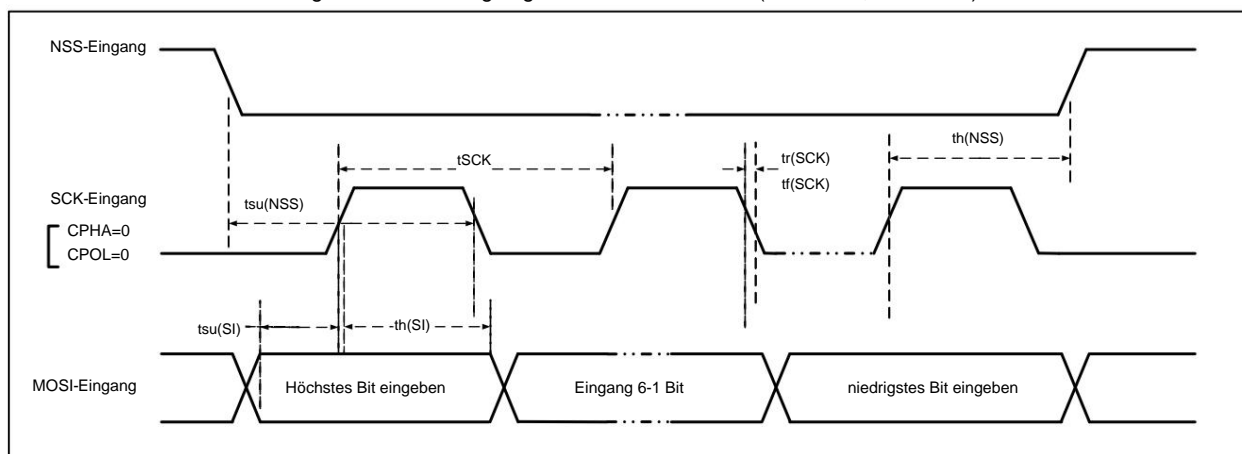


Abbildung 3-8-2 SPI-Timingdiagramm im Slave-Modus (CPHA = 0, CPOL = 1)

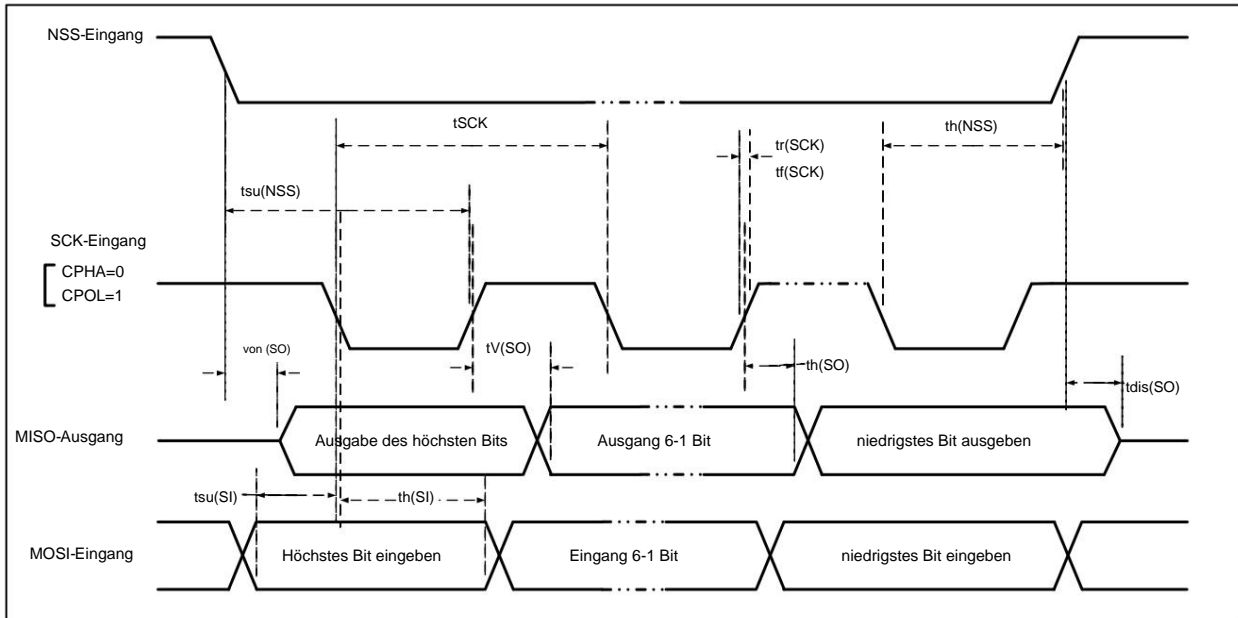


Abbildung 3-9-1 SPI-Timingdiagramm im Slave-Modus (CPHA=1, CPOL=0)

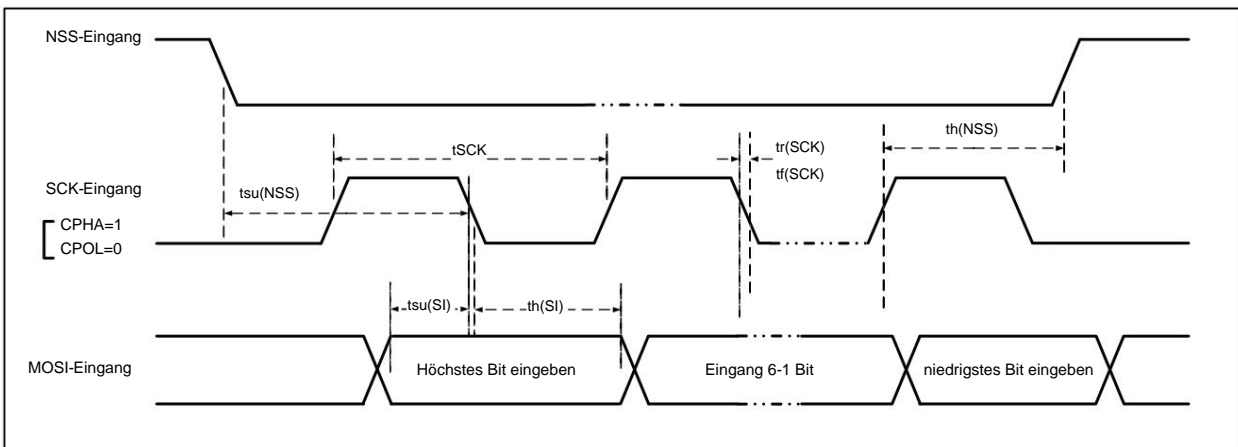


Abbildung 3-9-1 SPI-Timingdiagramm im Slave-Modus (CPHA=1, CPOL=1)

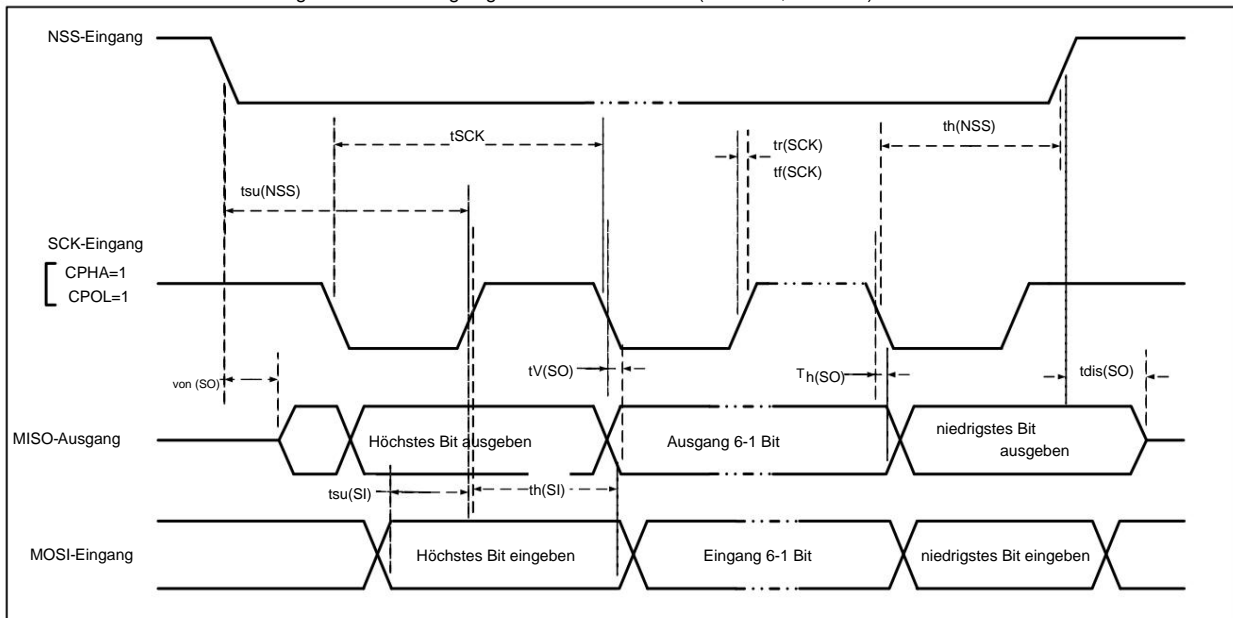


Tabelle 3-22 SPI-Schnittstelleneigenschaften

Symbol	Parameter	Zustand	Mindestens	Max.	Einheit
fSCK/tSCK	SPI-Taktfrequenz	Master-Modus		24 MHz	
		Slave-Modus		24 MHz	
tr(SCK)/tf(SCK)	SPI-Takt Anstiegs- und Abfallzeit	Lastkapazität: C = 30 pF		20	ns
tSU(NSS)	NSS-Einrichtungszeit	Slave-Modus	2tPCLK		ns
th(NSS)	NSS-Haltezeit	Slave-Modus	2tPCLK		ns
tw(SCKH)/tw(SCKL)	SCK hohe und niedrige Zeit	Master-Modus, fPCLK = 48 MHz, Prescaler-Faktor = 2	30	70	ns
tSU(MI)	Einrichtungszeit für die Dateneingabe	Master-Modus	5		ns
tSU(SI)		Slave-Modus	5		ns
th(MI)	Dateneingabe-Haltezeit	Master-Modus	5		ns
th(SI)		Slave-Modus	4		ns
ta(SO)	Datenausgabezugriffszeit	Slave-Modus, fPCLK = 24 MHz	0	1tPCLK	ns
tdis(SO)	Datenausgabe deaktiviert Zeit	Slave-Modus	0	10	ns
tV(SO)	Gültigkeitsdauer der Datenausgabe	Slave-Modus (Nach Aktivierung der Flanke)		5	ns
tV(MO)		Master-Modus (Nach Aktivierung der Kante)		5	ns
th(SO)	Datenausgabe-Haltezeit	Slave-Modus (Nach Aktivierung der Flanke)	2		ns
th(MO)		Master-Modus (Nach Aktivierung der Kante)	0		ns

### 3.3.14 Eigenschaften des 10-Bit-ADC

Tabelle 3-23 ADC-Charakteristiken

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
VDD	Versorgungsspannung		2.8		5,5	In
IDD	Versorgungsstrom			370		A

fADC ADC-Taktfrequenz	VDD = 2,8 bis 5,5 V	1		6	MHz	
	VDD = 3,2 bis 5,5 V	1		12		
	VDD = 4,5 bis 5,5 V	1		24		
NUR	Umwandlungsspannungsbereich		VSS	VDD	In	
CADC	Interner Abtast- und Haltekapazität			3	pF	
RADC	Widerstand des Abtast Schalters			0,6	1,5	k $\Omega$
fS	Abtastrate	fADC = 4 MHz			285	kHz
		fADC = 6 MHz			430	
		fADC = 12 MHz			857	
		fADC = 24 MHz			1710	
ts	Abtastzeit	fADC = 4 MHz		0,75		uns
		fADC = 6 MHz		0,5		
		fADC = 12 MHz		0,25		
tSTAB	Einschaltzeit			7	uns	
tCONV	Gesamt Konvertierung Zeit (einschließlich Abtastzeit)	fADC = 4 MHz	3,5			uns
		fADC = 6 MHz	2.33			uns
		fADC = 12 MHz	1.17			uns
		-		14		1/fADC

Hinweis: Die oben genannten Parameter sind konstruktionsbedingt garantiert.

Formel: Maximaler Regen

$$R_{AIN} < \frac{T_S}{f_{ADC} \cdot C_{ADC} \cdot \ln 2^{N+2}} - R_{ADC}$$

Die obige Formel dient zur Bestimmung der maximalen externen Impedanz, bei der der Fehler weniger als 1/4 LSB beträgt. Hierbei ist N=10 (was einer 10-Bit-Auflösung entspricht).

Tabelle 3-24 Maximaler RAIN bei fADC = 12 MHz

TS(Zyklus)	tS(us)	Maximaler RAIN (k $\Omega$ )
3.0	0,25	8,5
9.0	0,75	28,5
15.0	1,25	48,5
30,0	2,50	98,5
43,0	3,58	142,0
57,0	4,75	/
73,0	6.08	/
241,0	20.08	/

Tabelle 3-25 ADC-Fehler (fADC = 12 MHz: RAIN < 10 k $\Omega$ , VDD > 2,9 V) (fADC = 24 MHz: RAIN < 3 k $\Omega$ , VDD = 5 V)

Symbol	Parameter	Zustand	Mindestens	Typ.	Max.	Einheit
UND	Gesamte Datenabweichung	fADC = 12 MHz		2	6	LSB
ETF24 fADC = 24 MHz	Gesamtdatenabweichung	fADC = 24 MHz		3	8	

EO-Fehlausrichtungsfehler		fADC = 12 MHz		1	5
EG-Verstärkungsfehler		fADC = 12 MHz		1	2
ED Differential-Nichtlinearitätsfehler		fADC = 12 MHz		0,5	2
ER	Integraler Nichtlinearitätsfehler	fADC = 12 MHz		0,6	2,5

Hinweis: Quellsimulation.

C<sub>p</sub> repräsentiert die parasitäre Kapazität auf der Leiterplatte und dem Pad (ca. 5 pF), die mit der Qualität des Pads und des Leiterplattenlayouts zusammenhängen kann. Ein höherer C<sub>p</sub>-Wert verringert die Konvertierungsgenauigkeit; Abhilfe schafft eine Reduzierung des fADC-Werts.

Abbildung 3-10: Typisches Anschlussdiagramm des ADC

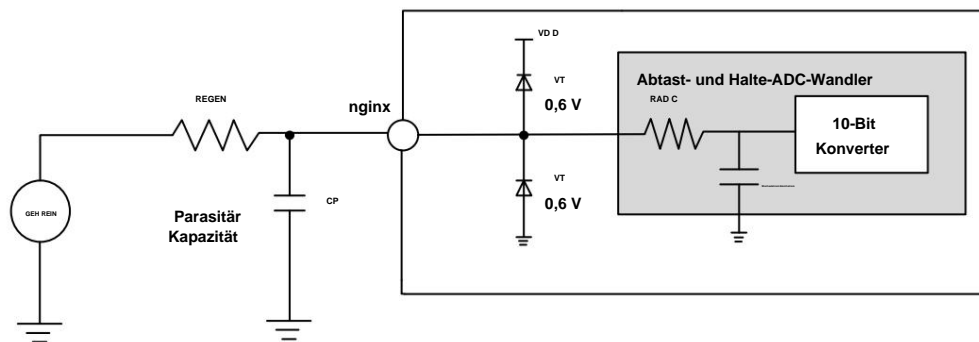
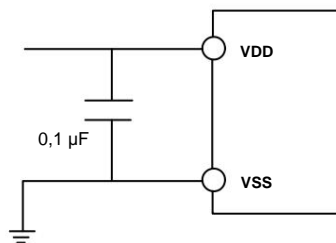


Abbildung 3-11 Referenz für analoge Stromversorgung und Entkopplungsschaltung



### 3.3.15 OPA-Eigenschaften

Tabelle 3-26 OPA-Eigenschaften

Symbol	Parameter	Zustand	Mindestens	Typ. Max.	Einheit
VDD	Versorgungsspannung		2.8		5,5 V
CMIR	Gleichtakt-Eingangsspannung		0		VDD V
VIOFFSET	Eingangs-Offsetspannung			±3	±13 mV
ILOAD	Antriebsstrom				1,5 mA
IDDOPAMP	Stromverbrauch	Keine Last, statischer Modus		273	A
CMRR(1)	Gleichtaktunterdrückung Verhältnis	@1KHz		81	dB
PSRR(1)	Versorgungsspannungsunterdrückungsverhältnis bei 1 kHz			88	dB
AUS (1)	Leerlaufverstärkung	CLOAD = 50pF		105	dB
GBW(1)	Einheitsgewinnbandbreite	CLOAD = 50pF		12	MHz

PM (1)	Phasenrand	CLOAD = 50pF		75		Du
SR (1)	Anstiegsgeschwindigkeit begrenzt	CLOAD = 50pF		7,7		V/us
tWAKUP(1)	Einrichtungszeit vom Herunterfahren bis zum Aufwachen: 0,1 %	Eingang VD D/2, CLO A D=50pF, RL OA D=4k $\Omega$		520		ns
RLOAD	ohmsche Last		4			k $\Omega$
LADEN	Kapazitive Last				50	pF
VOHSAT(2)	Hohe Sättigungsausgangsspannung	RLOAD = 4 k $\Omega$ , Eingang VDD VDD-180				mV
		RLOAD = 20 k $\Omega$ , Eingang VDD VDD-36				
VOLSAT(2)	Niedrige Sättigung Ausgabe Stromspannung	RLOAD = 4 k $\Omega$ , Eingang 0			5	mV
		RLOAD = 20 k $\Omega$ , Eingang 0			5	
EN(1)	Äquivalente Eingangsspannung Lärm	RLOAD = 4 k $\Omega$ , @1 kHz		83		$\frac{nV}{\sqrt{Hz}}$
		RLOAD = 4 k $\Omega$ , @10 kHz		28		

Hinweis: 1. Die Auslegungsparameter sind garantiert.

2. Der Laststrom begrenzt die Sättigungsausgangsspannung.

## Kapitel 4 Verpackungs- und Bestellinformationen

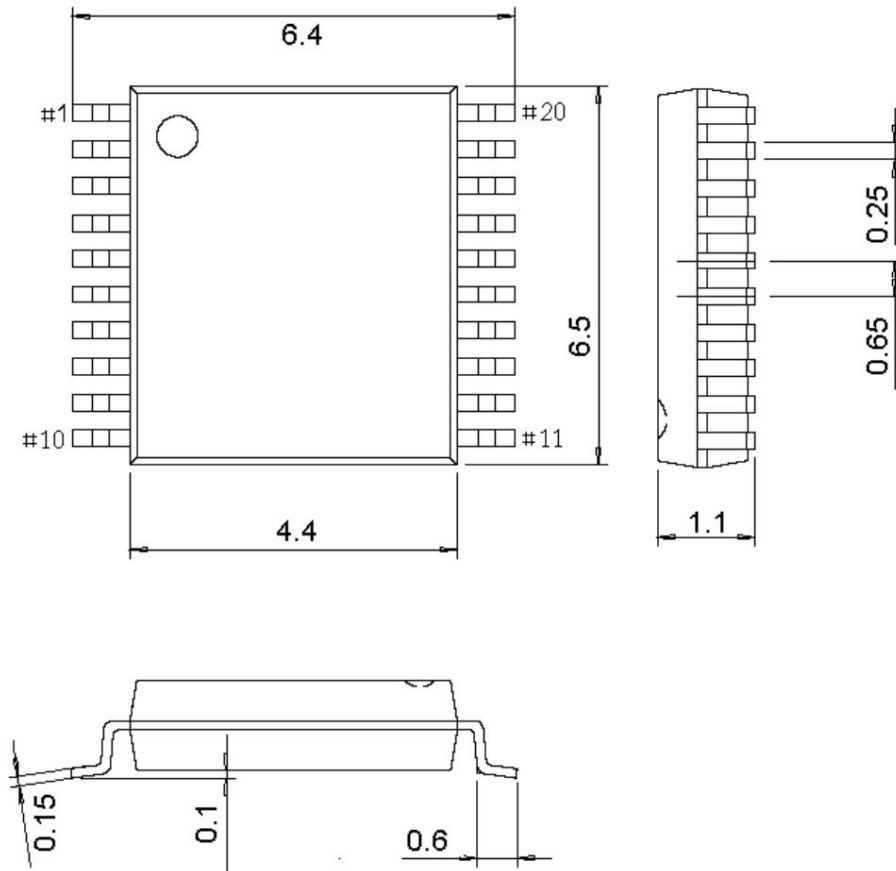
### Pakete

Verpackungsform	Körpergröße	Pin-Pitch		Paketbeschreibung	Bestellmodell
TSSOP20	4,4 × 6,5 mm	0,65 mm	25,6 mil	Dünn schrumpfen, kleine Kontur Paket	CH32V003F4P6
QFN20	3,0 × 3,0 mm	0,4 mm	15,7 mil	Quad Flat No-lead Package	CH32V003F4U6
SOP16	3,9 × 10,0 mm	1,27 mm	50 mil	Kleines Umrisspaket	CH32V003A4M6
SOP8	3,9 × 5,0 mm	1,27 mm	50 mil	Kleines Umrisspaket	CH32V003J4M6

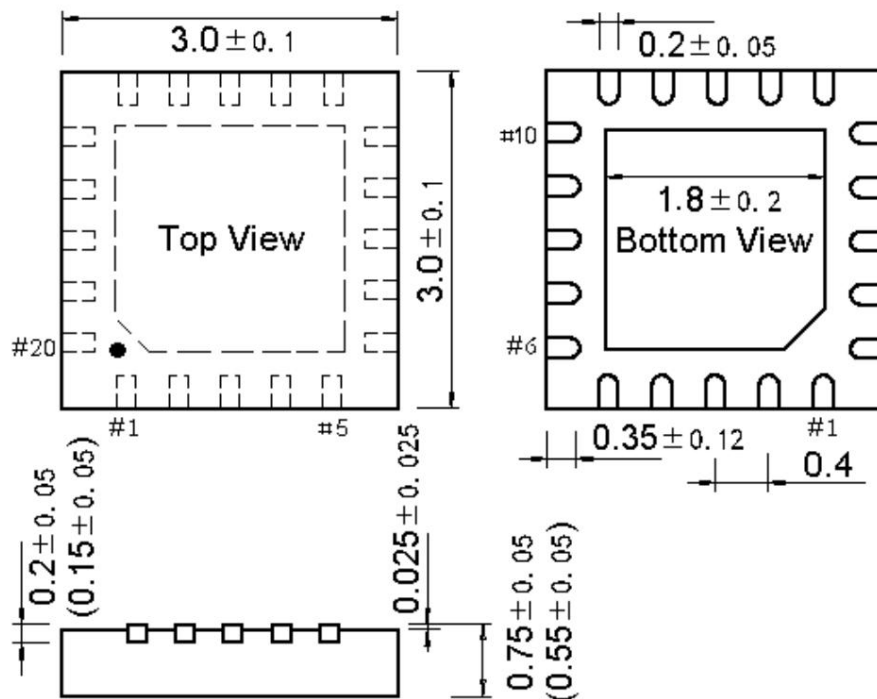
Hinweis: Alle Maße sind in Millimetern angegeben. Die Werte für den Stiftmittenabstand sind Nennwerte ohne Fehler.

Abgesehen davon ist der Maßfehler nicht größer als der größere der beiden Werte:  $\pm 0,2$  mm oder 10 %.

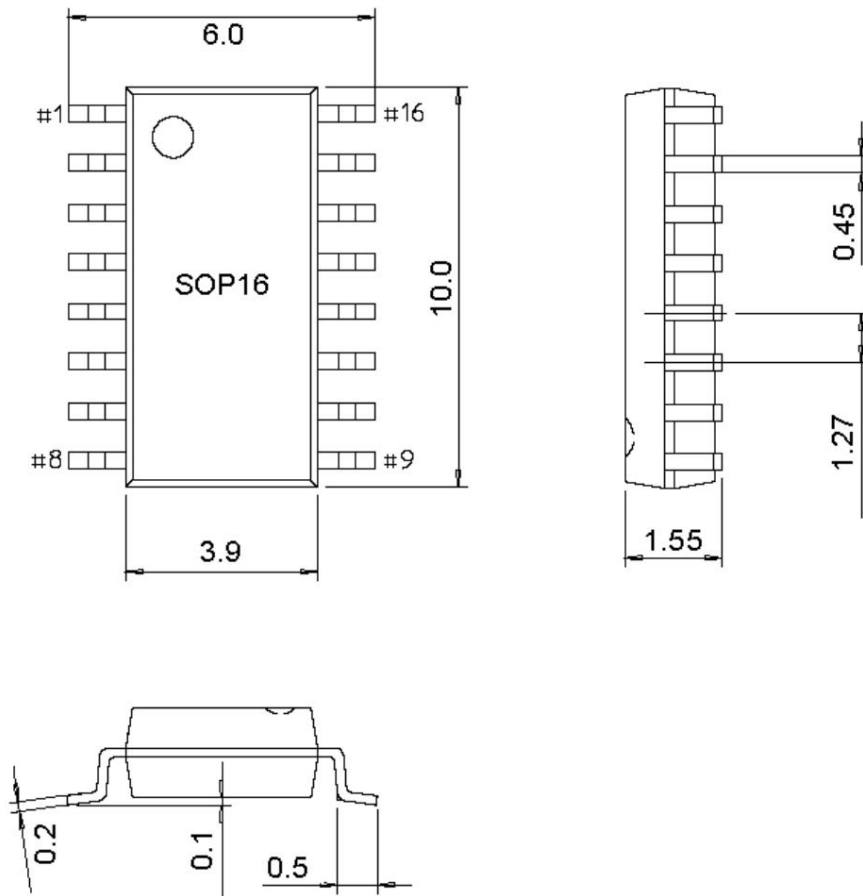
#### 4.1 TSSOP20-Gehäuse



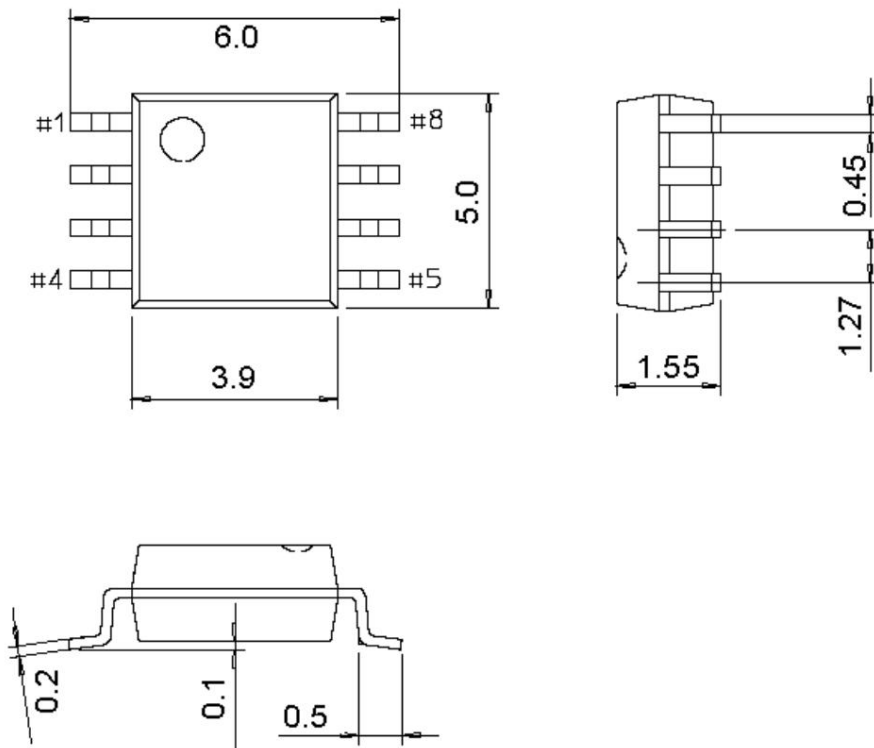
#### 4.2 QFN20-Gehäuse



### 4.3 SOP16-Paket



## 4.4 SOP8-Paket



## Regeln für die Benennung von Serienprodukten

Beispiel: CH32 In 303 R 8 T 6

Produktserie

F = Arm-Kern, universeller Mikrocontroller

V = QingKe RISC-V-Kern, Allzweck-Mikrocontroller

L = QingKe RISC-V-Kern, stromsparender Mikrocontroller

X = QingKe RISC-V-Kern, dedizierter oder spezieller Peripherie-Mikrocontroller

M = QingKe RISC-V-Kern, integrierter Gate-Ansteuermotor-Mikrocontroller

Produkttyp (\*) + Produktunterserie (\*\*)

Produktart	Produktunterserien
0 = QingKe V2/V4-Kern, Value Edition, Taktfrequenz <= 48 MHz	02 = 16K Flash-Speicher, allgemeiner Typ mit Mehrwert 03 = 16K Flash-Basistyp, OPA 05 = 32K Flash verbesserter allgemeiner Typ, OPA, Dual Serielle Schnittstellen 06 = 64K Flash-Multifunktions-Allgemeintyp, OPA, zwei serielle Schnittstellen, T-Taste 07 = Grundlegende Motoranwendung, OPA+CMP 35 = Anschlüsse, USB, USB PD/Typ-C 33 = Anschlüsse, USB 35 = Anschlussart, USB, USB PD/Typ-C 33 = Anschlussart: USB
1 = Basisversion, Hauptfrequenz <=100M 2 = Erweiterte Version, Hauptversion Frequenz > 200 MHz 3 = Hardware-Gleitkommazahl, mittlere und große Kapazität	03 = Angeschlossen, USB 05 = Verbunden, USB HS, CAN 07 = Vernetzt, USB HS, CAN, Ethernet, SDIO, FSMC 08 = Drahtlos, BLE5.x, CAN, USB, Ethernet 17 = Vernetzt, USB HS, CAN, Ethernet

&lt;480 KB

(Integrierter PHY), SDIO, FSMC

## PIN-Nummer

J = 8 Pins

D = 12 Pins, A = 16 Pins

F = 20 Pins

E = 24 Pins

G = 28 Pins, K = 32 Pins

T = 36 Pins

C = 48 Pins, R = 64 Pins

W = 68 Pins, V = 100 Pins, Z = 144 Pins

## Flash-Speicherkapazität

4 = 16 KB Flash-Speicher 6 = 32 KB Flash-Speicher 7 = 48 KB Flash-Speicher

8 = 64 KB Flash-Speicher B = 128 KB Flash-Speicher C = 256 KB Flash-Speicher

## Paket

T = LQFP U = QFN

R = QSOP

P = TSSOP M = SOP

## Temperaturbereich

6 = -40~85

7 = -40~105

3 = -40~125

D = -40~150